

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-202942

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

G06F 12/06

(21)Application number : 04-349672

(71)Applicant : ALLEN BRADLEY CO INC

(22)Date of filing : 12.11.1992

(72)Inventor : COWLES KENNETH R  
DUEWIGER MARK J  
GREEN ALEX D

(30)Priority

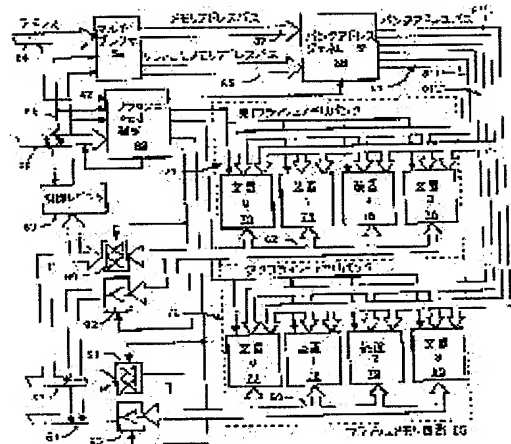
Priority number : 91 790833    Priority date : 12.11.1991    Priority country : US

## (54) FLASH MEMORY CIRCUIT AND ITS OPERATING METHOD

### (57)Abstract:

**PURPOSE:** To provide a circuit which is reduced in the number of parallel operating times for erasing or reprogramming a flash memory, because the service life of the circuit becomes shorter when the parallel operation is made, and its operating method.

**CONSTITUTION:** A memory circuit 55 for storing data is provided with memory banks 71 and 72 containing two parallel memory devices 73-80. When an access request and an address signal are received in a first mode, a control mechanism 88 alternately reads out data from the banks 71 and 72 by generating addresses. In a second mode, the mechanism 88 makes access to the bank 71 or 72 having the address sent together with the access request. The erasure and programming of the memory devices 73-80 are performed in parallel. When it is recognized that the bit at a certain storage location is not erased, the mechanism 88 only sends the next erasure command to a related memory device. When data words are not properly stored, similarly, the mechanism 88 only reprograms a related memory device by setting the device to a writing state.



### \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## CLAIMS

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-202942

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.<sup>5</sup>

G O 6 F 12/06

識別記号

540 E

庁内整理番号

9366-5B

FI

技術表示箇所

審査請求 未請求 請求項の数19 (全 33 頁)

(21)出願番号 特願平4-349672

(22)出願日 平成4年(1992)11月12日

(31)優先権主張番号 790833

(32)優先日 1991年11月12日

(33)優先権主張国 米国 (U S)

(71)出願人 590006376

アレン — ブラッドリィ カンパニー,  
インコーポレーテッド

アメリカ合衆国 ウィスコンシン州，ミル  
ウォーキー， サウス セカンド ストリ  
ート 1201

(72)発明者 ケネス アール・カウルズ

アメリカ合衆国オハイオ州シャグリン フ  
ォールズ, リバービュー ロード 18889

(72)発明者 マーク ジェイ・デューウィガー

アメリカ合衆国オハイオ州メンター，パッ  
クホーン ドライブ 7973

(74)代理人 弁理士 浅村 皓 (外3名)

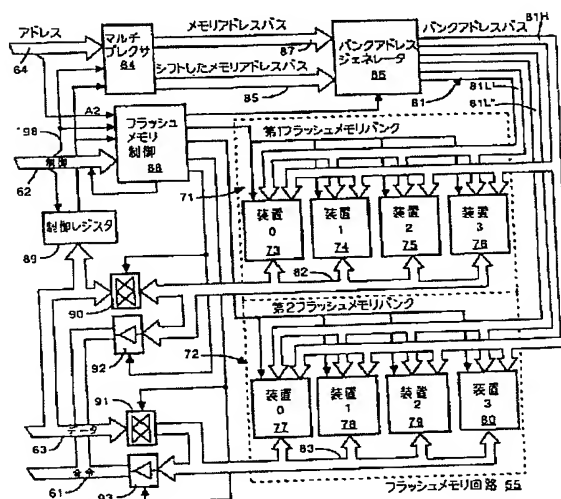
最終頁に続く

(54)【発明の名称】 フラッシュメモリ回路と操作方法

(57) 【要約】

【目的】 フラッシュメモリの消去や再プログラミングを並列に行うと寿命が短くなるので、操作回数を減らし、かつ操作時間のかからない回路と操作方法を開示する。

【構成】 データを記憶するメモリ回路（５５）が、２個の並列のメモリ装置（７３－８０）を含むメモリバンク（７１，７２）を備える。第１モードではアクセス要求とアドレス信号を受けると、制御機構（８８）がアドレスを発生してメモリバンク（７１，７２）から交互にデータを読み出す。第２モードではアクセス要求と共に送られるアドレスを持つメモリバンク（７１，７２）にアクセスする。メモリ装置の消去とプログラムは並列に行う。ある記憶場所のビットが消去されていないことが分かると、関連したメモリ装置にだけ次の消去コマンドを送る。同様にデータ語を正しく記憶しなかったときは、関連するメモリ装置だけを書き込み状態にして再びプログラミングを行う。



## 【特許請求の範囲】

【請求項1】 デジタルデータ語を記憶するメモリ回路であって、

記憶場所のアドレスを受ける第1手段と、

前記メモリ回路にアクセスを要求する制御信号を受ける第2手段と、

外部装置とデータを交換する手段と、

一連の記憶場所を備え、前記データを交換する手段に結合される第1および第2メモリバンクと、

前記第1および第2メモリバンクに接続されるアドレスバスと、

前記第1および第2メモリバンクを制御する手段であって、前記制御手段は前記第1および第2受信手段からそれぞれ受けたアドレスとアクセス要求にตอบสนองして前記メモリバンク内の一方の記憶場所からデータを読み出し、次に前記メモリ回路へのその後のアクセス要求にตอบสนองして前記アドレスバスにアドレスを発生し、前記第1および第2メモリバンクの記憶場所から交互にデータを読み出す第1モードを持ち、また前記制御手段は前記メモリ回路へのアドレスとアクセス要求にตอบสนองして、前記第1および第2メモリバンクの一方だけを使用可能にし、次に前記アドレスバスにアドレスを発生して、前記一方のバンクの記憶場所から順次情報を読み出す第2モードを持つ制御手段とを含むメモリ回路。

【請求項2】 前記第1および第2メモリバンクはそれぞれ並列接続の複数の集積回路メモリ装置で形成され、各装置はデジタルデータ語の異なるビット群を記憶する、請求項1に記載のメモリ回路。

【請求項3】 前記データを交換する手段は、前記第1および第2メモリバンクにそれぞれ接続される第1および第2データバッファを含み、各データバッファは前記制御手段からの別個の制御信号によって使用可能になり、前記制御手段は前記第1モードでアクセス要求にตอบสนองして、記憶すデータを読み出すように両メモリバンクを同時に使用可能にするが、前記第1および第2データバッファの一方だけを使用可能にする請求項1に記載のメモリ回路。

【請求項4】 デジタルデータの複合ビット語を記憶するメモリ回路であって、

前記メモリ回路にアクセスを要求する制御信号を受ける第1手段と、

それぞれ一連の記憶場所を備える第1および第2メモリバンクと、

前記第1および第2メモリバンクに接続されるアドレスバスと、

複数の2進ビットから成る記憶場所アドレスを受けて、第1アドレス値と、前記第1アドレス値の実質的に半分に等しい第2アドレス値とを与える第2受信手段と、

前記第2受信手段に結合されるアドレスジェネレータであって、一連の出力アドレスの最初のアドレスを示す第

2アドレス値にตอบสนองして前記一連の出力アドレスを生成し、前記メモリが受ける制御信号によって使用可能になったときに前記出力アドレスを前記アドレスバスに与え、さもなければ前記アドレスジェネレータが前記第1アドレス値を前記アドレスバスに与える、アドレスジェネレータと、

前記アドレスジェネレータと前記第1および第2メモリバンクを制御する手段であって、第1モードでは前記制御手段は前記メモリ回路へのアクセス要求にตอบสนองして前記第1および第2メモリバンクから記憶したデータを交互に読み出し、第2モードでは前記制御手段は前記メモリ回路への各アクセス要求にตอบสนองして前記第1および第2メモリバンクの同じ一方を使用可能にする制御手段とを含むメモリ回路。

【請求項5】 前記各第1および第2メモリバンクはそれぞれ並列接続の多数の集積回路メモリ装置で形成され、各装置はデジタルデータ語の異なるビット群を記憶する、請求項4に記載のメモリ回路。

【請求項6】 前記第2受信手段は前記記憶場所アドレスを各メモリバンク内の装置数で割って第1アドレス値を与え、前記記憶場所アドレスを各メモリバンク内の装置数の2倍で割って第2アドレス値を与える、請求項5に記載のメモリ回路。

【請求項7】 入出力データバスと、

前記制御手段からの別個の制御信号によって各データバッファが使用可能になったとき、前記第1および第2バンクを前記入出力データバスにそれぞれ結合する第1および第2データバッファとを更に含む、請求項4に記載のメモリ回路。

【請求項8】 前記第1モードの前記制御手段はアクセス要求にตอบสนองして、記憶したデータを読み出すために前記第1および第2メモリバンクを同時に使用可能にするが、前記第1および第2データバッファの一方だけを使用可能にする、請求項7に記載のメモリ回路。

【請求項9】 メモリ回路を消去する方法であって、前記メモリ回路は並列結合の複数のメモリ装置の第1バンクを含んで1組の記憶場所を形成し、各メモリ装置は消去コマンドにตอบสนองして前記装置の複数のデータ記憶領域を消去するものであり、

(a) 前記第1バンクの全てのメモリ装置に消去信号を出す段階と、

(b) 次に前記各記憶場所の内容を順次読み出して、前記記憶場所の全てのビットが消去されたかどうか判断する段階と、

(c) ある記憶場所が消去されていないビットを含むことが分かったときは、消去されていないビットに関連する記憶装置だけに更に消去コマンドを送り、次に前記記憶場所の前記内容を読み出して、今度は全てのビットが消去されたかどうか判断する段階と、を含む。

【請求項10】 各記憶場所の前記内容を逐次読み出す前

記段階は、前記バンクの全てのメモリ装置からデータを同時に読み出す、請求項9に記載の方法。

【請求項11】全ての記憶場所が消去されたと判断した後、

(d) データを記憶するために全てのメモリ装置を同時に書き込み状態にする段階と、

(e) 所定の記憶場所のアドレスとデータ語を前記メモリ装置に送る段階と、

(f) 前記所定の記憶場所の前記内容を読み出す段階と、

(g) 前記所定の記憶場所から読み出した前記内容を送った前記データ語とを比較して、前記データ語が正しく記憶されたかどうか判断する段階と、

(h) 前記比較段階の結果前記データ語を正しく記憶しなかったことが分かったときは、前記データ語のビットを正しく記憶しなかったメモリ装置だけを書き込み状態にして、前記データ語を再び前記メモリ回路に送る段階と、を更に含む、請求項9に記載の方法。

【請求項12】前記所定の記憶場所の前記内容を読み出す前記段階は、全てのメモリ装置からデータを同時に読み出す、請求項11に記載の方法。

【請求項13】段階(h)の後で段階(f)に戻り、前記データを今度は正しく記憶したかどうか確認することを更に含む、請求項11に記載の方法。

【請求項14】段階(g)で前記データ語を正しく記憶したと判断した後で段階(d)に戻り、異なる記憶場所に別のデータ語を記憶することを更に含む、請求項11に記載の方法。

【請求項15】前記メモリ回路が並列結合の複数のメモリ装置の第2バンクを含んで1組の記憶場所を形成し、各記憶装置は消去コマンドに応答して前記装置内の複数のデータ記憶領域を消去し、前記メモリ回路内のデータの消去と記憶を制御するプログラムの別の複写を各バンクに記憶し、一方のバンクで消去または記憶動作を実行中に他方のバンクからプログラムを読み出す、請求項11に記載の方法。

【請求項16】並列結合の複数のメモリ装置の1バンクを含むメモリ回路を再プログラミングする方法であって、

(a) データを記憶するために全てのメモリ装置を同時に書き込み状態にする段階と、

(b) 所定の記憶場所のアドレスとデータ語を前記メモリ装置に送る段階と、

(c) 前記所定の記憶場所の前記内容を読み出す段階と、

(d) 前記所定の記憶場所から読み出した前記内容を送った前記データ語とを比較して、前記データ語を正しく記憶したかどうか判断する段階と、

(e) 前記比較段階の結果前記データ語を正しく記憶しなかったことが分かったときは、前記データ語の部分

を正しく記憶しなかったメモリ装置だけを書き込み状態にして、前記データ語を再び前記メモリ回路に送る段階と、を含む。

【請求項17】段階(e)の後で段階(c)に戻り、前記データを今度は正しく記憶したかどうか確認することを更に含む、請求項16に記載の方法。

【請求項18】段階(d)が前記データ語を正しく記憶したと判断した後で段階(a)に戻り、異なる記憶場所に別のデータ語を記憶することを更に含む、請求項16に記載の方法。

10 【請求項19】前記所定の記憶場所の前記内容を読み出す前記段階は、全てのメモリ装置からデータを同時に読み出す、請求項16に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデジタルデータを記憶するための固体メモリ装置、より詳しくは一般にフラッシュメモリと呼ぶ一種のメモリ装置に関する。

【0002】

20 【従来の技術】フラッシュメモリは、消去可能なプログラマブルリードオンリーメモリ(EPROM)および電氣的に消去可能なプログラマブルリードオンリーメモリ(EEPROM)技術に基づく不揮発性記憶装置である。この種の装置は設備中でプログラムすることができ、プログラミング電圧や消去電圧を与えた消去手順を行うことによって、装置内の全てのビットを高論理レベルにセットするのに用いられる。

【0003】これから述べるのは、新しいデータで装置をプログラムするのに用いる新しい手順である。今日、EPROM、EEPROM、電池でバックアップするスタティックRAMおよびディスクメモリなどが用いられている多くの応用に、フラッシュ型の装置が用いられると予測される。

【0004】標準メモリは一般に交互配置の装置のバンクを形成して、性能を改善しアクセス時間を短くする。本発明の技術では、同型のメモリ装置の2個以上のバンクを、それぞれからのデータ要求が重なるように配列する。すなわち1個のバンクがデータを送っている間に、他のバンクは次の一連のデータを送る準備をする。このようにして、遅くて安い、高い機能を持つメモリ装置を使用することができる。

【0005】フラッシュ型メモリの1つの欠点として、現在利用できる装置は、プログラムする前に完全に消去しなければならないことである。この種の装置を設備の中で再プログラミングするときは、再プログラミングのために取り外すのではなく、再プログラミングのソフトウェアルーチンを設備中の別の場所に記憶しなければならない。このため一般には、再プログラミングルーチン用として不揮発性メモリや別のリードオンリーメモリなどの追加のメモリ装置を用意する。

【0006】別の種類のフラッシュメモリ装置も提案されているが、まだ市販されていない。これは一般にセクター別消去フラッシュメモリと呼ばれる。このフラッシュメモリは決して消去できない一群の記憶場所を回路中に備え、この中に初期化ルーチンや再プログラミングルーチンが入る。

【0007】この保護されたセクターを持てば現在のフラッシュメモリに関する問題は解決されるが、保護されたルーチンを変更する場合には、恐らく新しい装置を設けなければならない。またこのメモリは固定した大きさのセクターに分割されるので、各ユーザの必要に応じた最適の大きさにはならない場合があることも問題である。

【0008】

【発明が解決しようとする課題】従って望ましいフラッシュメモリは、初期化ルーチンおよび再プログラミングルーチンを記憶することができるものであって、装置の別の部分を再プログラミングできるだけでなく、必要であれば初期化ルーチンおよび再プログラミングルーチンを変更できるものである。

【0009】更に現在利用可能なフラッシュメモリ装置は8ビットなので、多くのマイクロプロセッサが必要とする16ビットや32ビットのデータ語を記憶するためには、装置を何個か並列に接続しなければならない。このように並列に接続することはよく知られており、各種の他の型の8ビットメモリ装置で用いられてきた。

【0010】従来の並列構成では、並列のメモリバンクにある装置をすべて消去し再プログラミングするのが普通であった。すなわち所定のアドレスを並列接続の全ての装置に与え、各装置の対応する記憶場所を同時に消去する。

【0011】その後でその記憶場所をテストして、正しく消去されたことを確認する。もし並列接続のメモリ装置の中の1個で記憶場所が消去されていなければ、全ての並列接続の装置を再び消去する工程を繰り返す。

【0012】この方法は他の型のメモリでは問題ないが、フラッシュ型メモリの1つの欠点は、ある記憶場所に行ってよい消去サイクルの回数が限られていることである。

【0013】従って正しく消去されなかった装置が1個しかないときに、そのバンク内の全ての装置に重ねて消去サイクルを行うと、他の装置に不必要な消去サイクルを行って完全に損傷させる場合もある。

【0014】従ってフラッシュ型メモリに用いられる普通の方法は、バンク内の各装置を別個に消去して、各装置が実際に必要とする消去サイクル回数だけをその装置に与えることである。個々の装置を消去すればそれぞれの装置に不必要な消去サイクルを行う問題はなくなるが、非常に時間がかかる。

【0015】従ってフラッシュメモリを含む回路の設計

者は、並列消去によって装置を消去し過ぎることと、個々に消去して時間をかけ過ぎることとの取捨選択に直面する。

【0016】

【課題を解決するための手段】メモリ中の別の記憶場所にデジタルデータ語を記憶するメモリ回路をここに提供する。第1手段は記憶場所アドレスを受け、第2手段はメモリ回路へのアクセスを要求する制御信号を受ける。このメモリは第1メモリバンクと第2メモリバンクを備え、それぞれ一連の記憶場所を持ち、データを交換する手段に結合される。

【0017】望ましい実施態様では、各メモリバンクは複数の並列接続の集積回路メモリ装置で形成され、各装置はデジタルデータ語の異なるビット群を記憶する。アドレスバスが第1および第2メモリバンクに接続され、アクセスする記憶場所を示すアドレス信号を伝える。

【0018】動作モードは2種類あり、制御機構がメモリ回路を一方の動作モードにする。第1モードでは、この制御機構は最初のアクセス要求とアドレス信号にตอบสนองして、一方のメモリバンク内の記憶場所からデータを読み出す。その後次の隣接する記憶場所へアクセス要求を行うときには、要求と共にアドレスを送る必要がない。

【0019】制御機構はその後の要求にตอบสนองしてアドレスを発生し、第1および第2メモリバンクの記憶場所からデータを交互に読み出す。しかし次の隣接する記憶場所以外へのアクセス要求の場合は、要求と共にアドレスを送る必要がある。

【0020】第2の操作モードでは、第1モードと同様に制御機構はメモリ回路への各アクセス要求にตอบสนองするが、2個のメモリバンクの内、要求と共に送られる制御信号が決定する方だけを動作可能にする。この方法は、余分な外部メモリを必要とせずに他のメモリバンクを完全に消去し再プログラミングすることのできる独特の手段である。

【0021】また、メモリ回路を消去しプログラミングする新しい方法も開示する。メモリは消去命令によって消去するが、この命令はバンク中の各メモリ装置の全ての記憶場所を消去する。次に各記憶場所の内容を順次読み込んで、各場所の全てのビットが消去されたかどうかを確認する。

【0022】所定の記憶場所に消去されていないビットがあることが分かったと、ビットが消去されていないメモリ装置にだけ重ねて消去命令を送る。次にその記憶場所の内容を再び読み出して、今度は全てのビットが消去されているかどうかを確認する。

【0023】メモリ回路が完全に消去されていることを確認すると、再プログラミングを始めることができる。全てのメモリ装置を同時に書き込み状態にして、所定の記憶場所のアドレスとデータ語をメモリ装置に送る。次にその記憶場所の内容を読み出す。

【0024】その記憶場所から読み出した内容と送ったデータ語とを比較して、データ語を正しく記憶したかどうか確認する。比較した結果データ語を正しく記憶していなければ、データ語のビットを正しく記憶しなかったメモリ装置だけを書き込み状態にして、データ語を再びそのメモリ回路に送る。

【0025】一般にその記憶場所を再びチェックして、今度はデータを正しく記憶したかどうか確認する。もし正しく記憶されていれば、他の記憶場所に移ってデータを記憶する手順を繰り返す。

【0026】この消去および再プログラミングの方法により、各記憶場所を正しく消去し再プログラミングしたことを確認する。メモリバンク内のある特定のメモリ装置が消去または再プログラミングされていなければ、その装置だけを消去または再プログラミングする。

【0027】この方法により、正しく作動したメモリ装置に不必要な消去およびプログラミング操作をせずに済み、またメモリ装置のプログラミング、消去、確認を並列に行うことによって、システムの機能が向上する。

【0028】

【実施例】図1において本発明のプログラマブルコントローラ10はラック12に納められ、ラック12は複数のプリント回路板モジュールを入れる一連のスロットを含む。これらの機能モジュールは、ラック12の背面に沿って伸びるマザーボードに接続して、バックプレーン11を形成する。

【0029】バックプレーン11は、バックプレーンの伝導パターンによって相互に接続される複数のモジュールコネクタを備える。バックプレーン11はモジュールを接続する一連の信号バスを備える。ラック12は電源モジュール14、システムコントローラ16、多数のプログラム実行プロセッサモジュール18、複数のリモート入出力(I/O)スキャナモジュール20を含む。ただしスキャナモジュールは1個だけでよい。

【0030】ラック12の残りの場所は空いていて、追加の機能モジュールをスロットに挿入するまでは、スロットは空のプレートで覆われている。

【0031】リモートI/Oスキャナモジュール20は4個以内で、コントローラ10と外部のリモートI/Oラック17とを、直列のI/Oデータリンク15を通してインターフェースする。各リモートI/Oラック17は、制御対象設備の各センサおよび作動器に結合される複数のローカルI/Oモジュール19を備える。

【0032】ローカルI/Oモジュール19には多くの形式があり、例えばDC入出力、AC入出力、アナログ入出力、開ループまたは閉ループ位置決めモジュールを備えてよい。I/Oラック17とネットワーク15は、従来のインターフェースおよび通信技術を用いる。

【0033】またリモートI/Oラック17はアダプタモジュール26を含む。これは例えば、アメリカ特許番

号4,413,319に記述されているように、I/Oネットワーク15を通してI/Oモジュール19とスキャナモジュール20との間のデータ伝送を制御する。

【0034】システムコントローラ16はケーブル25を通してプログラミングターミナル24に接続される。これはユーザのプログラムをプログラマブルコントローラにロードして操作し、またシステムの機能を監視するのに用いる。ターミナル24はパーソナルコンピュータで、ユーザがこのターミナルで制御プログラムを開発して、プログラマブルコントローラにロードすることができるようにプログラムされている。

【0035】プログラムをプログラマブルコントローラにロードして動作をデバッグした後は、操作の監視が必要でなければターミナル24をシステムコントローラ16から切り離してよい。

【0036】またシステムコントローラ16は、ローカルエリアネットワーク(LAN)28に接続してよく、LANを通してホストコンピュータからデータやプログラム命令を受け、また状態の情報や報告データを送る。これによりホストコンピュータまたは中央のターミナルは、工場の現場にある複数のプログラマブルコントローラの動作をプログラムし制御することができる。

【0037】図2に概略を示すシステムコントローラ回路はバックプレーンバス21-23に接続し、3つの部30、31、32(破線で示す)に分割され、バックプレーンのインターフェース、処理、通信の機能を持つ。バックプレーンインターフェース部30は全てのラックモジュールからラックバックプレーン11へのアクセスを管理し、システムコントローラモジュール16をバックプレーンに接続する。

【0038】プロセッサ部31はコントローラ10の監視プログラムを実行し、通信部32は外部ターミナル24やLAN28のようなローカルエリアネットワークとの通信を主業務とする。プロセッサ部31と通信部32は共に、それぞれ1組の内部バス62-64と33-35を備える。

【0039】通信部バスは、通信部中の要素間を走る多数の個々の制御線を備える制御バス33、並列のデータバス34、並列のアドレスバス35から成る。通信部32は第1マイクロプロセッサ36を中心に組み立てられ、マイクロプロセッサ36はリードオンリーメモリ(ROM)38に記憶されている機械語命令を実行する。

【0040】命令はROMから取り出されてデコードされ、マイクロプロセッサ36はこれを実行して通信機能を行う。これらの機能を制御するプログラムは、前述のプログラマブルコントローラで用いるものと同様である。

【0041】従来型のアドレスデコード回路37が第1プロセッサ36から送られる各アドレスを受けてデコー

10

20

30

40

50

ドし、相応する信号を生成して制御バス33に出す。例えば第1マイクロプロセッサ36がROM38にアクセスすると、アドレスデコード回路37は、マイクロプロセッサがバス35に送るアドレスがROMのアドレスの範囲内にあることを確認する。

【0042】通信部中のどの装置にアクセスするかが分かると、アドレスデコード回路37はその装置のための制御信号を生成してアクセスする。

【0043】2個の直列入出力装置UART43と直列入出力コントローラ(SIO)44も、3本の通信部バス33-35に接続される。UART43は、市販の一般的な非同期送受信器集積回路のどれでよい。

【0044】UART43は通信部データバス34にある並列データを正しくフォーマットされた直列信号に変換し、入出力ラインドライバ45に送る。ラインドライバ45は、RS232、RS423、RS422などの直列信号標準のどれかに対応する出力信号を出す。

【0045】直列I/O(SIO)通信コントローラ44は2本の同期直列通信チャネルを扱う標準集積回路のどれでもよい。

【0046】SIO44はシステムコントローラ16の通信部と、ラインドライバ46および47に接続されるローカルエリアネットワーク、例えば図1のネットワーク28、とをインターフェースする。図1に示すプログラミングターミナル24は合ラインドライバ46か47の一方に接続する。

【0047】また通信部32内にはランダムアクセスメモリ(RAM)39もあり、システムコントローラ16に接続される各種の外部装置と受け渡しするデータを一時的に記憶する。

【0048】RAM39はアドレスバス35を通してアクセスしてよく、制御バス33からの使用可能信号に従ってバス34を通してデータをメモリに読み書きしてよい。直接メモリアクセス(DMA)回路41は、通信中にSIO44とRAM39の間で高速のデータ交換を可能にするために設けられる。

【0049】DMA回路41により、SIO44はRAM39にアクセスして、各外部通信チャネルを通して送受信するデータを記憶または取得することができる。

【0050】調停回路40は通信バス33-35へのアクセスを制御し、これらのバスに複数の装置からアクセスの要求が同時に入ったときに調整する。調停回路40は、通信部のどの要素が共有バス33-35にアクセスするかを決める。

【0051】バスを要求する装置が制御バス33を通して要求信号を調停回路40に送ると、調停回路は一度に1装置にだけ要求を認め、その装置用の制御線にアクセス信号を出す。

【0052】カウンタ/タイマ回路(CTC)42は通信バス33-35と第1マイクロプロセッサ36の割り

込み端子とに接続し、通信部内の他の要素からの割り込み要求を処理する。

【0053】CTC42はタイマでもあり、所定の間隔、例えば10ミリ秒毎に第1マイクロプロセッサ36に割り込み要求を出し、実行中のタスクにかかわらず各種のルーチンを定期的に実行させる。

【0054】この割り込み要求に回答して、第1マイクロプロセッサ36はCTC42からベクトルを読み出し、ROM38に記憶されている該当する割り込みルーチン、例えばUART43やSIO44からのデータ要求を処理するルーチンに向かう。

【0055】更に図2においてプロセッサ部31は、制御バス62、32ビットのデータバス63、並列のアドレスバス64を含む一組のバスに連結する。バス62-64へのアクセスは、通信バスの回路40と同様な調停回路53で制御される。

【0056】2組の信号ゲート50と51が、通信部バス34、35とシステムコントローラモジュール6のプロセッサ部バス63、64の間に設けられる。詳しくいうと、第1組のゲート50は、通信部データバス34とプロセッサ部31のデータバス63を双方向に接続する。また第2組のゲート51は2本のアドレスバス35と64を接続する。

【0057】バス間制御回路52がプロセッサ部31と通信部32の制御バス62と33にそれぞれ接続され、データゲート50とアドレスゲート51を動作可能にして、調停回路40と53からのアクセス要求信号に回答する。

【0058】プロセッサ部31は32ビット第2マイクロプロセッサ54、例えばアドバンスト・マイクロ・デバイセス社製のモデル29000などを中心に構成される。第2プロセッサ54は、プログラマブルリードオンリーメモリ(PROM)55に記憶されているプログラム命令を実行する。

【0059】命令は別の命令バス61を通してPROM55から読み出す。また以下に述べるように、データバス63をPROMに接続して命令を記憶する。

【0060】PROM55はフラッシュ型メモリで、各記憶場所は32ビットである。本発明は以下に述べるフラッシュメモリ55の構成と動作の詳細に関する。

【0061】第2マイクロプロセッサ54は実質はメモリマップ装置で、入出力線は直接には接続されない。従ってプロセッサバス上の他の要素へのアクセスは、バス64にアドレスを出すことによって行う。

【0062】第2マイクロプロセッサ54から送られるアドレスはアドレスデコード回路57でデコードされ、アクセスする要素への制御信号を生成する。プロセッサ部アドレスデコーダ57の機能は、通信部アドレスデコード回路37と殆ど同様である。またプロセッサ部31は、第2マイクロプロセッサ54への割り込みを制御す



る割り込みプロセッサ58を含む。

【0063】データ伝送応答およびバスエラー(DTACK/BERR)回路59もプロセッサ部制御バス62に接続される。回路59はプロセッサ部31内の各要素からの信号に応答してデータ伝送の完了の応答を出し、また不適当なアドレッシングやデータ伝送失敗が起こった場合はバスエラー信号を出す。

【0064】これらの信号は、第2プロセッサ54が取り上げて処置する。またプロセッサ部31は、主システムクロックおよび実時間クロックを含むクロック回路60を含む。

【0065】システムコントローラ16の主RAM56もプロセッサ部バス62-64に接続される。RAM56はメモリ場所を含む32ビットのメモリで、コントローラ10全体のシステムメモリの役目をする。

【0066】システムRAM56は、システムコントローラ内の第2マイクロプロセッサ54が介入することなく、システム内の他のモジュールからバックプレーン11を通して直接アクセスすることができる。主RAM56は、ターミナル24を通してユーザから与えられる構成データや、数個の機能モジュールが共用する他のデータを記憶する。

【0067】更に図2において、システムコントローラ16のプロセッサ部31は、両バス群に結合する複数の要素を通して、バックプレーン11のバス21-23とインターフェースする。

【0068】詳しくいうと、バックプレーンデータバス22は1組の双方向データ伝送ゲート66によってプロセッサ部データバス63に接続し、バックプレーンアドレスバス23は別の1組の双方向ゲート65によってプロセッサ部アドレスバス64に接続する。

【0069】システムコントローラ16がバックプレーン11を制御しようとするときは、マスターモード制御回路67がプロセッサ部バス62の制御線の信号に응答してバックプレーン制御バス21に必要な制御信号を出し、ラック12内の他のモジュールにアクセスする。

【0070】ラック12内の他のモジュールがシステムコントローラ16にアクセスして、例えば主RAM56の内容を読み出そうとするときは、システムコントローラはこのモジュールによるバックプレーン11の制御に従う。

【0071】この場合システムコントローラ16内のスレーブモード制御回路68が、バックプレーンアドレスバス23および他のモジュールから来るバックプレーンバス21の制御線を通して送られる信号に응答する。

【0072】スレーブモード制御回路68は伝送ゲート65と66に信号を出して、他のバックプレーンモジュールがシステムコントローラ16にアクセスできるようにする。この場合は、マスターモード制御回路67は休止状態にある。

【0073】2個のバスゲート65と66は、バックプレーン通信のモードに従って、制御バス62の各線を通してマスター制御回路67とスレーブ制御回路68から使用可能制御信号を受ける。バックプレーン調停回路69はバックプレーン11へのアクセスを管理し、またシステム中の各モジュールから来るアクセス要求を調整する。

【0074】プロセッサ部31のプログラマブルリードオンリーメモリはフラッシュ型メモリ55で、例えばアドバンスト・マイクロ・デバイセス社が(1989年に発行した、「フラッシュメモリ製品データブック」に記述されている。この装置は、第2マイクロプロセッサ54が実行するバーストアドレッシングモードで動作するように構成されている。

【0075】このアドレッシングモードでは、第2マイクロプロセッサ54はアクセスしようとするメモリ部の最初のアドレスを送る。例えばこのアドレスは、メモリから連続して読み出してマイクロプロセッサに与える一連のプログラム命令の、最初の命令の記憶場所である。

【0076】フラッシュメモリ55が最初のアドレスを受けた後、続いて各読み出し/書き込みサイクルの制御信号を受けると、メモリアドレスジェネレータは次に続く記憶場所に段階を増分する。

【0077】第2マイクロプロセッサ54が連続しないアドレスにアクセスしようとするとき、例えば制御プログラム中にジャンプ命令が来て次の命令が前の命令に隣接していない場合には、第2マイクロプロセッサは新しいアドレスをフラッシュメモリ55に送る。

【0078】またフラッシュメモリ55は、第2マイクロプロセッサ54のシーケンシャルアドレッシングモードにも適応する。このモードでは、ある記憶場所へのアクセス要求は全てアドレスを伴って行く。マイクロプロセッサ54から受ける制御信号は、その時刻に用いられているアドレッシングモードを指定する。

【0079】図3において、フラッシュメモリ55は破線で示す2個のバンク71と72を備え、各バンクはそれぞれ4個のフラッシュメモリ装置73-76と77-80を持つ。例えばフラッシュメモリ装置はアドバンスト・マイクロ・デバイセス製のモデル28F010装置である。

【0080】各メモリ装置は8ビットで、4個が共通のバンクアドレスバス81と内部バンク内部データバス82または83に並列に接続される。データバス82と83の個々のビット線が各メモリ装置73-76と77-80に接続する。従って所定のバンクにある4個のメモリ装置の組合せにより、各バンク内の個々のアドレス可能な各記憶場所に32ビットのデータ語が含まれる。

【0081】第2マイクロプロセッサ54は、データをフラッシュメモリ55に記憶させる場合に32ビット語ではなくバイトのデータでアドレスを出す。従ってプロ



セッサ部バス64のアドレスを4で割って、所望のバイトを含むメモリの語のアドレスを生成する。

【0082】このアドレスをここでは「語アドレス」と呼び、バンクアドレスバス81に与える。各バンクの装置の数を多くするか少なくするかにより、または8ビット以上の装置を使用することにより、各記憶場所には別の大きさのデータ語を記憶することができる。

【0083】バンクアドレスバス81は、第1および第27ラッシュメモリバンク71と72に対してそれぞれ別個の8ビットの下位バス81L' と81L" に分割される。下位バス81L' と81L" は8ビットの最下位アドレスビットを伝える。残りの上位のアドレスビットは、両メモリバンク71と72に接続される共通上位アドレスバス81Hが伝える。

【0084】交互配置のバンクアクセスモードで動作しているときにフラッシュメモリ55に一群のアドレスを割り当てるには、第1メモリバンク71の記憶場所に奇数の語アドレスを割り当て、第2メモリバンク72には偶数の語アドレスを割り当てる。バス64のアドレスのビットA2（語アドレスの最下位ビット）は、どのメモリバンクが所望の記録場所を持つかを示す。

【0085】以下に述べるように、内部的には両メモリバンクはそれぞれ同じアドレスに記憶場所を含み、メモリ制御88は語アドレスの最下位ビットに基づいて、両フラッシュメモリバンク71と72のどちらにアクセスするかを決める。

【0086】図4Aと図4Bに示すように、第1メモリバンク71と第2メモリバンク72は共に、記憶部94と95および96と97にそれぞれ2分割される。各フラッシュメモリバンクの一方の記憶部95と97は、フラッシュメモリ55を消去またはプログラミングするためのプログラム命令の複写を含む。

【0087】これらの機能をプログラミングするルーチンについては後で詳細に述べる。他方の部分94と96は、他のプログラムの記憶と第2マイクロプロセッサ54の実行に用いられる。

【0088】プロセッサ部アドレスバス64は並列のマルチプレクサ84に接続され、マルチプレクサ84は制御バス62の信号に応答して、メモリアドレスバス87かシフトしたメモリアドレスバス85を通してプロセッサ部アドレスバス64をバンクアドレスジェネレータ86に結合する。

【0089】マルチプレクサは、入力バス64をメモリアドレスバス87に結合すると、最下位の2ビットA0とA1を落として、つまりアドレスを4で割って、語アドレスを発生する。この結合はシーケンシャルアクセスモードで用いられる。

【0090】交互配置のバンクアクセスモードでは、マルチプレクサはビットA0とA1を落とし、残りのビットを1桁シフトして、第2マイクロプロセッサ54から

のアドレスを8で割る。これにより、シフトしたメモリアドレスバス85に与えられたアドレスからビットA2を落とす。

【0091】マルチプレクサ84からの2本のバス85と87は、バンクアドレスジェネレータ86に入力として与えられ、得られたアドレスを開始アドレスとして用い、バーストモードアドレッシング中に第1および/または第2メモリバンク71、72内の一連の隣接する記憶場所にアドレスする。フラッシュメモリ制御回路88によって使用可能になると、アドレスジェネレータ86はアドレスをバンクアドレスバス81に与える。

【0092】プロセッサ部アドレスバス64からのアドレス線A2はフラッシュメモリ制御88に入り、このアドレスビットを用いて2個のフラッシュメモリバンク71と72の一方を選択して、交互配置のモードでアクセスする。

【0093】またプロセッサ部制御バス62の選択された線はフラッシュメモリ制御88に接続され、バンクアドレスジェネレータ86と第1および第2フラッシュメモリバンク71と72を制御する信号を生成する。

【0094】またフラッシュメモリ制御88は2組の双方向データバッファ90と91の一方を選択的に使用可能にして、バンクデータバス82と83をプロセッサ部データバス63にそれぞれ結合する。フラッシュメモリ制御88がバッファ92と93をそれぞれ選択的に可能にすると、バンクデータバス82と83を命令バス61に結合することができる。

【0095】プロセッサ部データバス63の各線は制御レジスタ89の入力に接続され、制御バス62の信号によって使用可能になると、制御レジスタ89はこれらの線で送られたデータを記憶する。

【0096】以下に説明するように、制御レジスタ89に記憶されている1データビットは、フラッシュメモリ55が交互配置のバンクアクセスモードで動作するか、単一バンクアクセスモードで動作するか、また後者のモードではどのバンクをアクセスするか、を決定する。

【0097】前者のアクセスモードでは、第1バンク71にある記憶場所に奇数番号アドレスを割り当て、第2バンク72に偶数番号アドレスを割り当てる。単一バンクアクセスモードでは、メモリバンク71と72の一方だけにアクセスする。どちらのアクセスモードでも、第2マイクロプロセッサ54はバーストまたはシーケンシャルアドレスモードで動作することができる。

【0098】制御レジスタの他のビットは、個々にメモリバンク71と72を選んで消去またはプログラミングする。制御レジスタ890出力は、バンクマルチプレクサ84とフラッシュメモリ制御88に結合される。

【0099】フラッシュメモリ55は、メモリバンク71と72のどちらかの記憶場所だけに順次アクセスするか、または交互配置の方式で両メモリバンクにアクセス

するように構成することができる。

【0100】交互配置のアクセスモードでは、バンク71と72は共に第2マイクロプロセッサ54からのアクセス信号と制御信号によって同時に動作するが、バッファ90-93によって一度に一方のバンクだけが命令バス61とデータバス63に接続される。

【0101】交互配置のアクセスモードでフラッシュメモリからプログラム命令を得る場合、命令は両バンク71と72から交互に読み出される。

【0102】プログラム命令をメモリバンク71と72 10内の主記憶部94と96から読み出して実行するときは、制御レジスタ89内の1ビットがフラッシュメモリ55をバンク交互配置アクセスモードにする。このデータは第2マイクロプロセッサから送られて制御レジスタ89に記憶される。

【0103】このモードでは、奇数番号のアドレスを第1バンク71に割り当て、偶数アドレスを第2バンク72に割り当てるので、命令を各フラッシュメモリバンクから交互に読み出す。

【0104】更に第2プロセッサ54は一般に、バーストアドレッシングを用いてフラッシュメモリから実行する命令を得る。バーストモードアドレッシングの使用は、制御バス62の信号によって指示される。 20

【0105】メモリアクセス操作は、一連の命令の最初の命令を記憶するアドレスを第2マイクロプロセッサ54が発生することから始まる。このアドレスは偶数か奇数で、プロセッサ部31のアドレスバス64を通してフラッシュメモリ55に送られる。

【0106】同時にアドレスデコーダ回路57はこのアドレスをデコードして一連の制御信号を生成し、フラッシュメモリ55の必要な読み出しまたは書き込み動作を可能にする。 30

【0107】フラッシュメモリ制御88は、アドレスデコーダ57および第2マイクロプロセッサ54から制御バス62を通して送られる従来の制御信号を受ける。これらの制御信号は読み出し動作が起きていることを示し、フラッシュメモリ制御88をシステムコントローラ16の他の要素に同期させる。

【0108】フラッシュメモリ制御88はアドレスバス64のビットA2に応答して、必要なフラッシュメモリバンク71または72を使用可能にする。詳しくいうと、フラッシュメモリ制御によって、ビットA2が低論理レベルのときは第1バンク71にアクセスし、ビットA2が高論理レベルのときは第2バンク72にアクセスする。 40

【0109】第2マイクロプロセッサ54からのアドレスはフラッシュメモリバンクマルチプレクサ84が受けて、シフトしたメモリアドレスバス85を通してバンクアドレスジェネレータ86に、交互配置のアクセスモードで送る。マルチプレクサは語アドレスを1ビット右にシ 50

フトし、語アドレスの最下位ビット(A2)を落とす。

【0110】この操作の結果をバンクアドレスジェネレータ86に送り、ここでフラッシュメモリバンク71と72にアクセスする第1アドレスとして用いる。この最初のアドレスの最上位ビットは、バンクアドレスジェネレータから直接上位バンクアドレスバス81Hに与え、最下位8ビットは下位アドレスバス81L'と81L"に与える。

【0111】読み出される第1命令が第1メモリバンク71に記憶されていると仮定する。フラッシュメモリ制御88によってメモリ装置73-76と命令バスバッファ92が使用可能になり、第1フラッシュメモリバンク71はプロセッサ部31内の命令バス61に接続される。

【0112】また第1メモリバンク71は、フラッシュメモリ制御88から他の制御信号を受ける。メモリ装置はこれに回答して、アドレスされた場所の内容を第1バンクデータバス82に与える。

【0113】命令をバス61に与えると、従来のデータ伝送応答信号がフラッシュメモリ制御回路88から制御バス62に与えられる。アクセスが完了すると、フラッシュメモリ制御88は制御バス62の信号に回答して、命令バッファ92を使用不可能にする。

【0114】第1メモリバンク71にアクセスしている間に、フラッシュメモリ制御88は制御信号を第2メモリバンク72に与えて、バンクアドレスバス81を通して送る同じアドレスの記憶場所にアクセスする。これにより、この記憶場所の内容を第2バンクデータバス83に与える。

【0115】しかし第2メモリバンク72に関連するバスバッファ91と93はこのとき使用可能になっていないので、第2バンクデータバス83はプロセッサ部バス61と63には結合されない。

【0116】連続したプログラム命令がメモリバンク71と72から交互に読み出される。この例では、第2プログラム命令はフラッシュメモリ55の第2バンク72から読み出される。

【0117】第2マイクロプロセッサ54が次の読み出し要求を制御バス62に発生させると、フラッシュメモリ制御88はこれに回答して、第2メモリバンク72に関連する命令バスバッファ93を使用可能にする。

【0118】第1命令と第2命令は両メモリバンクのそれぞれ同じ内部アドレスにあったので、この命令は前のアクセス要求のときにすでに第2バンクデータバス上にある。従って第2命令を得るのに必要な時間は、第1命令に必要な時間よりはるかに小さい。

【0119】第2命令を第2フラッシュメモリバンク72から読み出している間に、バンクアドレスジェネレータは第1バンク71の下位アドレスバス81L'の最下位8ビットを増分する。

【0120】従ってこのサイクルの間に、第1バンクは次のアクセス要求を受けるとすぐ次の第3命令にアクセスする準備ができています。バスバッファ90と92が使用不可能なので、第3命令はデータバス63にも命令バス61にも与えられない。

【0121】フラッシュメモリ制御88はプログラム命令に対する第3要求に応答して、第1メモリバンク71と関連する命令バスバッファ92を使用可能にし、このバンクから第3命令を読み出す。

【0122】この間に、バンクアドレスジェネレータ86は、第2フラッシュメモリバンク72の下位バス81Lに与えられている最下位アドレスビットを増分する。この動作により、フラッシュメモリ55が次のアクセス要求を受けると、第2バンク72は次の命令を出す準備ができています。

【0123】このようにして、フラッシュメモリ制御88は読み出し要求を受けると、メモリバンク71と72から交互に命令を得る。この方法により、一連の隣接する記憶場所へのアクセスが速くなる。

【0124】次の命令が次の論理アドレスにある限り、バンクアドレスジェネレータ86がアドレッシングを制御するので、第2マイクロプロセッサ54は各アクセス要求と共にアドレスを送る必要がない。

【0125】ジャンプ命令を実行するときのように、次の命令が隣接するメモリ場所に記憶されていない場合は、第2マイクロプロセッサ54はアクセス要求と共にこの命令のアドレスをフラッシュメモリ55に送る。フラッシュメモリ制御88はこれに応答して、新しいアドレスをバンクアドレスジェネレータ86にロードする。

【0126】フラッシュメモリのシーケンシャルアドレッシングはバーストアドレッシングほど効率的ではないが、シーケンシャルアドレッシングは交互配置のアクセスモードで記憶場所にアクセスするのに用いることができる。

【0127】この場合フラッシュメモリ制御88は、シーケンシャルアドレッシングモードを用いることを示す信号を第2マイクロプロセッサ54から受ける。制御88はこれに応答して、バンクアドレスジェネレータに指示し、シフトしたメモリアドレスバス85からのアドレスを直接バンクアドレスバス81に与える。

【0128】プログラム命令ではなくてデータをフラッシュメモリ55から読み出すときは、データはメモリ装置73-80のどれに記憶してもよい。その結果フラッシュメモリバンク71と72は各データ要求に応答して同時に動作するが、プロセッサ部データバス63に、一方のバンクだけが結合される。

【0129】この場合マルチプレクサ84は、命令ではなくてデータを要求していることを示す信号を制御バス線98から受ける。この信号によりマルチプレクサ84は入力するアドレスに作用し、制御レジスタが指定したのが交互配置したアクセスモードか単一バンクアクセス

モードかにかかわらず、この結果をシフトしたアドレスバス85に与える。

【0130】またフラッシュメモリ制御88は線98の制御信号を受け、この信号とアドレスビットA2とを用いて、所望のデータを含むメモリバンク71か72に関連するデータバッファ90か91を使用可能にする。フラッシュメモリバンク71と72は共にアドレスをバス81から受けるが、一方のバンクだけがプロセッサ部データバス63に接続される。

【0131】更に図3において、フラッシュメモリ55に記憶されたプログラムを更新する場合は、フラッシュメモリバンク71と72を共に完全に消去しなければならない。しかしフラッシュメモリを消去した再プログラミングするソフトウェアルーチンもまた、これらの記憶要素に含まれている。

【0132】このフラッシュメモリ55は、第1フラッシュメモリバンク71の95と第2フラッシュメモリバンク72の97の部分にこれらのルーチンの複写を持っている。一方のバンクを再プログラミングしている間に、第2マイクロプロセッサ54は他方のバンクに記憶している消去および再プログラミングルーチンを実行する。

【0133】一方のバンクを消去すると、消去および再プログラミングルーチンを他方のバンクから複写し、他のソース、例えばRAM56からのプログラムをその主記憶部に複写する。次に一方のバンクに記憶しているルーチンを用いて、他方のバンクを再プログラミングする。

【0134】従って、プログラミングの前に全ての場所を順次消去する必要のある従来のフラッシュメモリ装置を命令の記憶に用いて、自分を再プログラミングすることができる。システムコントローラの初期化またはブートアップルーチンのような他の重要なデータの複写も、このようにして記憶することができる。

【0135】フラッシュメモリの再プログラミング手順を第1メモリバンク71のプログラミングについて述べるが、第2メモリバンク72のプログラムも同じ動作で逐次行うことができる。

【0136】手順は、第2マイクロプロセッサ54が図3の制御レジスタ894と構成データをロードすることから始まる。制御レジスタ89にロードするモード制御ビットは、フラッシュメモリを単一バンクアクセスモードにする論理レベルを持つ。

【0137】制御レジスタの別のビットは、プログラミングのために第1メモリバンク71を選んだことを示す。フラッシュメモリ制御88はレジスタ89の制御ビットに応答して、必要なバンクをプログラム可能にする。

【0138】プログラミング動作中は、第2マイクロプロセッサ54はバーストアドレッシングとシーケンシャルアドレッシングのどちらを用いてもよい。

【0139】マルチプレクサ81ま制御バス62の信号に応じて、バーストアドレッシングを用いるかシーケンシャルアドレッシングを用いるかに従って、メモリバス85か87を通してプロセッサバス64をバンクアドレスジェネレータ86に結合する。

【0140】プログラミング動作中はシーケンシャルアドレッシングを用いる場合を考える。従って第2マイクロプロセッサ54からの命令アドレスは、バンクアドレスジェネレータ86に直接与えられる。

【0141】フラッシュメモリ制御88は語アドレスのビットA2を無視して、常に選択したバンクだけを使用可能にする。フラッシュメモリ制御88が制御バス62を通して受ける別の信号は、第2マイクロプロセッサからの要求が読み出し動作か書き込み動作かを示す。制御回路88はこれに応じて、制御信号を必要なメモリバンク71か72に送る。

【0142】フラッシュメモリ制御88はデータバッファ90を使用可能にし、各書き込みまたはアクセス確認サイクル中に、第1メモリバンクデータバス82をプロセッサ部データバス63に接続する。同様にバッファ93を使用可能にして、第2メモリバンクデータバス83をプロセッサ部命令バス61に接続する。

【0143】このように接続すると、第2マイクロプロセッサ54は第2フラッシュメモリバンク72から消去および再プログラミング命令を読み出して第1メモリバンク71をプログラムするように、フラッシュメモリ55を構成することができる。

【0144】フラッシュメモリ55の特定の消去／プログラミングのシーケンスとコマンドは、メモリ装置の製作者が定義する。一般的な手順では、先ず各記憶場所を低論理レベル（ゼロ）にセットし、次に指定したメモリ装置に消去コマンドを出して、全ての記憶場所を同時に消去する。

【0145】1個の消去コマンドで全ての記憶場所を消去できれば理想的であるが、いくつかの記憶場所は消去されないのが普通である。従って第2マイクロプロセッサ54はメモリ装置内の全ての記憶場所が消去されているかどうか確認し、必要があれば装置全体が消去されるまで更に消去コマンドを出さなければならない。

【0146】図3に示すフラッシュメモリ55は、数個のメモリ装置73-76と77-80を並列に接続して第1バンク71と第2バンク72を形成するが、時間を節約するには全てのバンクを一斉に消去するのが望ましい

【0147】しかし確認手順中に1装置の記憶場所だけが消去されていないことが分かった場合は、4個の装置全部に第2の消去コマンドを出すことは好ましくない。これは、フラッシュメモリは限られた回数以上消去サイクルを行うと損傷するからである。

【0148】従って本技術の中心的な特徴の1つは、全

バンクの消去と確認は並列に行うが、追加の消去コマンドは更に消去を必要とする記憶装置にだけ出すことである。

【0149】全てのフラッシュメモリバンクを消去したことが確認されれば、再プログラミングして記憶場所に新しいプログラムデータを記憶することができる。消去の場合と同様に、再プログラミングは全てのバンク一斉に行う。確認の結果あるメモリ装置73-80がデータを保持していなければ、その装置だけ再プログラミングする。

【0150】従って各記憶場所に行うプログラミングサイクルの回数も最小になる。本再プログラミング技術では、所定のバンク内で全てのメモリ装置について多くの動作を同時に行うが、装置に不必要な消去およびプログラミングサイクルは行わない。

【0151】本発明の詳細なフラッシュメモリ消去ルーチンを図5のフローチャートで説明する。このルーチンの命令の複写は、両メモリバンク71と72の部分95と97に記憶されている。消去と再プログラミング用のプログラムの命令は他方のバンクから読み出される。

【0152】消去手順は段階100で始まり、第2マイクロプロセッサ54は制御レジスタ89をセットしてメモリバンク71と72のどちらを消去するかを選択し、フラッシュメモリ回路を構成する。このルーチンはどちらのバンクを選択しても同じなので、第1バンク71を選択した場合について述べる。

【0153】次に段階101で図6に示すプログラミングルーチンを呼び出し、第1メモリバンク71の各記憶場所をゼロにする。このゼロにする手順は、後でフラッシュメモリプログラミングルーチンの動作を説明する際に述べる。

【0154】第1バンク71の全ての記憶場所をゼロにすると、プログラムの実行は段階102に戻る。ここで第2マイクロプロセッサ54は消去手順中に用いる変数、カウンタ、他のレジスタを初期化する。

【0155】段階104で第2マイクロプロセッサ54は、消去セットアップコマンドと、また続いて消去コマンドをフラッシュメモリ55に書き込む。これらのコマンドはデータバス63とデータバッファ90を通して、第1メモリバンク71の装置73-76に送られる。

【0156】次に段階106でプログラムは一定の時間、例えば10ミリ秒遅れる。これはメモリ装置の製作者が指定するもので、消去コマンドを出してから消去確認が始まるまでの間に必要な遅れである。

【0157】このルーチンでフラッシュメモリ71に送られる32ビット命令は4個のバイトに分割され、各バイトはメモリ装置73、74、75、76のそれぞれへの、個々のコマンドを含んでいる。これによりバンク71の各装置は別個の動作状態になり、他の装置は読み出し状態のまま、ある1個の装置だけを消去することが

できる。

【0158】これが本発明の中心となる動作であって、前回の動作で完全には消去されなかった装置だけを再び消去することがでる。しかしこのとき、第1バンク71の4個のメモリ装置73-76が受ける消去コマンドは全く同一のものである。

【0159】段階104で1個のフラッシュメモリ命令を出すと、選択したメモリバンク内のメモリ場所が全て消去されるのが最もよい。しかしこれは実際には滅多に起こらず、バンク内には完全には消去されない装置が11固以上あることがよくある。

【0160】従って段階108から始まって、第2マイクロプロセッサ54は第1メモリバンク71内の各記憶場所に順次アクセスして、実際に消去されているかどうか判断する。

【0161】ここで第2マイクロプロセッサはデータバス63にフラッシュメモリ命令を出し、第1メモリバンク71の各記憶装置73-76を消去確認状態にし、各装置の内容を並列に順次読み出せるようにする。次に段階110で再びプログラムの実行は、装置の製作者が指定する一定の時間、例えば6マイクロ秒遅れる。

【0162】段階112に進んで、第2マイクロプロセッサ54はフラッシュメモリ55に記憶場所のアドレスを送って、第1メモリバンク71から32ビットのデータ語を得る。次にこのデータ語を確認して、ビットが全て消去されているかどうか判断する。

【0163】段階114でこのデータ語の全てのビットが消去されていたと仮定すると、段階116で第2マイクロプロセッサは、第1フラッシュメモリバンク71の最後のアドレスを確認したかどうか判断する。

【0164】確認が終った場合は、消去ルーチンは終了して主制御プログラムに戻る。未確認のメモリ場所が残っている場合は、段階118、第2マイクロプロセッサのレジスタに記憶している第1フラッシュメモリバンク71のアドレスを増分する。

【0165】次に段階120で、各バイトを消去確認コマンドに設定して、フラッシュメモリ55の命令を形成する。プログラムの実行は段階108に戻り、フラッシュメモリ命令を送って、各記憶装置73-76が消去確認状態にあって次の場所をチェックできることを確かめる。

【0166】段階114で、フラッシュメモリバンク71から読み出した語の中に消去されていないビットが1個以上あることが分かったと、プログラムの実行は段階122に分岐する。このプログラムの分岐は、語の各バイトを調べて、記憶装置73-76のどれを更に消去する必要があるかを判断するためである。このために、バイトポインタを初期化してゼロにする。

【0167】次に段階124で第2マイクロプロセッサ54はポインタが指定したバイトを調べて、全てのバイ

トが消去されたかどうか判断する。全てが消去された場合は、段階136に進む前に段階126で、調べたデータを読み出したメモリ装置用のフラッシュメモリ命令のバイトを、読み出しモードコマンドに設定する。

【0168】しかし調べたバイトが消去されていなければ、プログラムの実行は段階128に分岐して、データバイトを読み出したメモリ装置73-76用のフラッシュメモリ命令のバイトを消去コマンドにセットする。そして段階130で、そのメモリ装置73-76の消去サイクル回数のカウンタを増分し、段階132で検査する。

【0169】このルーチンで1,000回消去サイクルを行ってなお消去されないメモリ装置の場所があれば、そのメモリ装置は有効な寿命を越す。この場合、段階134でどの装置が不良であるかを知らせる信号をユーザに送ってからプログラムを終了する。そしてメモリを交換するまでこのシステムは休止状態に入る。

【0170】段階132で装置の消去サイクルが1,000回に達していない場合は、プログラムの実行は段階136に分岐し、バイトポインタをテストして、データ語のバイトを全て検査したかどうか判断する。

【0171】未検査のバイトが残っている場合は、段階138でバイトポインタを増分し、段階124に戻って次のバイトをテストし、その中のビットを全て消去したかどうか判断する。

【0172】第1フラッシュメモリバンク71から読み出した所定の語のバイトを全て検査し終ると、第2マイクロプロセッサ54は段階104に戻る。

【0173】この時点で、第2マイクロプロセッサ54のレジスタに一時的に記憶されたフラッシュメモリ命令の各バイトに含まれるのは、関連するメモリ装置73-76を再び消去するコマンドか、またはこれまでチェックした場所は全て消去されたためメモリ装置を読み出し状態にするコマンドである。

【0174】段階104で、フラッシュメモリ命令をフラッシュメモリ55に書き込んで、再消去する必要があるとして選択したメモリ装置73-76の消去を行う。

【0175】次に各装置の同じ組の場所を再び検査し、これらの場所に記憶されていたビットが重ねて行った消去サイクルによって全て完全に消去されたかどうか判断する。

【0176】第2マイクロプロセッサ54は消去ルーチンの各段階を循環して、記憶場所が全て消去されたことを確認するまで、第1フラッシュメモリバンク71の4個のメモリ装置73-76の各記憶場所を検査し続ける。

【0177】この時点で、フラッシュメモリ消去ルーチンの実行は終了し、第2マイクロプロセッサ54は実行中の主動作プログラムに戻る。

【0178】一般にフラッシュメモリ55の1バンクを

消去し終ると、すぐ再プログラミングする。これは第2マイクロプロセッサ54が行い、図6のフローチャートに示すフラッシュメモリプログラミングルーチンを実行する。

【0179】このプログラミング手順は段階101の消去ルーチンでも用いられ、消去パルスを与える前に、選択したフラッシュメモリバンク71か72の各記憶場所をゼロにセットする。消去を始める前に全てのメモリセルをゼロにプログラミングすることは、フラッシュメモリ装置の製作者からの要求である。

【0180】フラッシュメモリプログラミングルーチンは段階140から始まり、プログラムで用いる変数、カウンタ、レジスタを初期化する。段階142で、現在消去モードであるかどうか判断する。

【0181】このプログラミングルーチンが消去手順の一部として用いられていない場合は、プログラムは段階143に分岐し、第2マイクロプロセッサ54は制御レジスタ89にデータを送ってフラッシュメモリ回路55をプログラムモードにし、メモリバンク71と72の一方を再プログラミングするよう指定する。ここで再び第1バンクを選択したとする。

【0182】段階144で、32ビットのフラッシュメモリ命令を形成する。この命令は消去ルーチンで用いたものと同様で、各バイトは再プログラミングする第1バンク71のメモリ装置73-76のそれぞれに対する別個の命令を含む。

【0183】各バイトは個別に構成されるので、他の装置をプログラミングしている間に1個以上の装置を読み出しモードにすることができる。この特徴が用いられるのは、あるメモリ装置の記憶場所が第1プログラミングサイクルでデータを保持せず、従って追加のサイクルが必要な場合である。

【0184】従って第1サイクルで正しく再プログラミングされなかったメモリ装置73-76だけが第2の再プログラミングコマンドを受ける。しかし最初は、フラッシュメモリ命令の全てのバイトにはセットアップコマンドをロードする。また4個1組のカウンタをセットして、4個の各メモリ装置の場所を再プログラミングするのに必要なプログラミングサイクル回数をカウントできるようにする。

【0185】プログラムの実行は次に段階146に進み、実行中の手順が消去動作かプログラミング動作か判断する。フラッシュメモリがプログラミングモードであれば、段階148でこのソフトウェアはRAM56、第2フラッシュメモリバンク72またはシステム内のプログラムを含む他の装置からプログラム命令語を取り出し、第1フラッシュメモリバンク71にロードする。

【0186】命令を記憶する場所は、第2マイクロプロセッサ54のレジスタ内に保持されているソースアドレスで示される。段階148で、取り出した語を第2マイ

クロプロセッサ54のデータレジスタ内に一時的に記憶する。

【0187】このプログラミングルーチンを消去ルーチンの最初に実行しているのであれば、実行は段階150に分岐して、第2マイクロプロセッサのこのデータレジスタをゼロにセットする。

【0188】前に述べたように、図6のプログラミングルーチンは消去ルーチンの最初にも用いられ、フラッシュメモリバンクの記憶場所を全てゼロにリセットする。

10 【0189】段階148か150で記憶する命令を得た後、段階152で4個1組のセットアップおよびプログラムコマンドをフラッシュメモリ55に送り、各メモリ装置の状態を、データを受けて記憶できるようにする。

【0190】図3のフラッシュメモリ制御88によって第1双方向データバッファ90はすでに使用可能になっており、プロセッサ部データバス63は第1フラッシュメモリバンク71のデータバス82に結合している。

20 【0191】フラッシュメモリ命令のコマンドはこの線路を通して並列にメモリ装置73-76に送られる。各メモリ装置は、その装置用の特定のコマンドを含むフラッシュメモリ命令の個別のバイトに応答する。

【0192】ある場所を再プログラミングする最初の段階では、これらの各バイトはプログラムセットアップコマンドを含んでいる。フラッシュメモリ命令を出した後、第2マイクロプロセッサ54はアドレスバス64を通して記憶場所のアドレスを送り、記憶のためのプログラム命令をデータバス63に与える。

30 【0193】図3において、プログラミング用の制御レジスタ89に記憶されたデータにより、マルチプレクサ84はメモリアドレスバス87を通して、プロセッサ部アドレスバス64をバンクアドレスジェネレータ86に直接接続する。

【0194】またフラッシュメモリ制御88は制御信号に応答して、再プログラミングのために選択した第1フラッシュメモリバンク71に必要なコマンドを送る。

40 【0195】第1フラッシュメモリバンク71のメモリ装置73-76はプログラムセットアップコマンドに応答して、バス82のビットをアドレス記憶場所に記憶する。段階153では、マイクロプロセッサ54がプログラム確認コマンドを出す前に10マイクロ秒の遅れが必要である。

【0196】この後段階154で、第2マイクロプロセッサ54はデータバス63と82および双方向バッファ90を通して1組のプログラム確認コマンドを出す。これらコマンドによりメモリ装置73-76は、現在アクセスした記憶場所に記憶されたばかりのプログラム命令を装置から読み出してプロセッサ部データバス63に与える。

50 【0197】一方第2マイクロプロセッサ54は段階1

56で6マイクロ秒遅れ、フラッシュメモリバンク71を確認コマンドに従わせる。

【0198】この遅れ期間の最後に、段階158で第2マイクロプロセッサ54はデータを読み出し、段階160で、第1フラッシュメモリバンク71から読み出したデータと段階152で記憶場所をプログラムするのに用いたデータとを比較する。

【0199】比較した結果これらの語が同じである、つまりフラッシュメモリを正しくプログラムしたと仮定すると、プログラムの実行は段階162に分岐し、プログラム命令を第1メモリバンク71に記憶し終ったかどうか判断する。

【0200】記憶する命令がまだ残っている場合は、第1フラッシュメモリバンク71内の記憶場所とプログラミングデータのソースの記憶場所とを示す1対のアドレスレジスタを、段階164で共に増分する。

【0201】命令をフラッシュメモリ55のバンク71か72の一方にだけ書き込んでいる間に、命令の行き先アドレスを8ビット増分し、これにより他のメモリバンクの記憶場所をバイパスする。

【0202】次にプログラムの実行は段階144に戻り、フラッシュメモリ55内の次の記憶場所をプログラムする。しかし第1フラッシュメモリバンク71の最後の場所のプログラムが終了と、ソフトウェアルーチンは呼び出した元のプログラムに戻る。

【0203】段階160で、フラッシュメモリ55内の現在アクセスした記憶場所を正しくプログラムしていないと第2マイクロプロセッサ54が判断すると、フラッシュメモリのプログラムルーチンの実行は図6の段階170に分岐する。

【0204】このプログラムの分岐では、記憶場所から読み出した語の各バイトを検査して、プログラムに失敗したのは並列のメモリ装置73-76のどれか判断する。このルーチンのこの部分の初めに、バイトポインタを初期化する。

【0205】このポインタが指定する対応するバイトは、フラッシュメモリ55から読み出した語と段階152で記憶したばかりの命令語から得る。

【0206】次に段階174で、第2マイクロプロセッサ54はこれらのバイトを比較して、等しいかどうかを判断する。等しければ、対応するメモリ装置は正しくプログラムされていることを示す。この場合はプログラムの実行は段階175に分岐し、比較したデータを含むメモリ装置のフラッシュメモリ命令のバイトに、読み出しモードコマンドをロードする。

【0207】この場合、対応するメモリ装置73-76は正しくプログラムされているので、1個以上の他の並列のメモリ装置を再プログラミングする際に重ねて不要な再プログラミングサイクルを行わないようにするため、読み出しモードにしなければならない。フラッシュ

メモリ命令は、第2マイクロプロセッサ54のレジスタに一時的に記憶する。

【0208】段階174で比較したバイトが等しくない場合は、関連するメモリ装置73、74、75、76のプログラミングが正しく行われなかったことを示すので、段階176を実行する。この段階では、プログラムに失敗した関連するメモリ装置を再プログラミングに指定し、そのメモリ装置のフラッシュメモリ命令のバイトにセットアップコマンドをロードする。

【0209】段階178でそのメモリ装置のプログラムカウンタを増分し、段階180でチェックして、この記憶場所を25回プログラムしてなお失敗したかどうか判断する。もしそうであれば、段階182でユーザに信号を送り、このメモリ装置は不良であることを知らせてからプログラムの実行を停止する。

【0210】この記憶場所で再プログラミングを行った回数が25回未満であれば、段階184で第2マイクロプロセッサ54はバイトポインタをチェックし、データ語のバイトを全てチェックしたかどうか判断する。もし未チェックのものが残っていれば、段階186でバイトポインタを増分し、段階172に戻って別のバイトをチェックする。

【0211】メモリ装置73-76からの4バイトをチェックした結果プログラミングが完了していれば、プログラムの実行は段階184から段階152に戻る。前回の命令データを再びメモリバンク71に与えて、前回のサイクルで正しくプログラムされなかったメモリ装置をプログラムする。

【0212】しかし前回命令を記憶できなかったメモリ装置だけをプログラムモードにし、その他は読み出しモードにする。

【0213】第2マイクロプロセッサ54は図6に示すフラッシュメモリプログラミングルーチンの各段階を循環して、段階180で装置のどれかが不良であると分かるまで、または段階162で最後の命令を正しく記憶したことが分かるまで続ける。

【0214】消去および再プログラミングの本技術は、フラッシュメモリに従来用いられた技術より優れた、いくつかの利点がある。ここに説明した手順は多くの消去および再プログラミング動作を並列に実行するので、メモリ装置が持つ最高の速さで手順を実行する。

【0215】しかし、消去またはプログラミングが失敗したことが分かった場合は、問題の装置の動作が良くなったことが分かるまで、この装置だけを重ねて消去またはプログラミングする。

【0216】このため正しく機能した装置に、不必要な消去およびプログラミングサイクルを重ねて行わなくなる。従って本技術によれば、正しく機能した装置を損傷することはない。

【図面の簡単な説明】



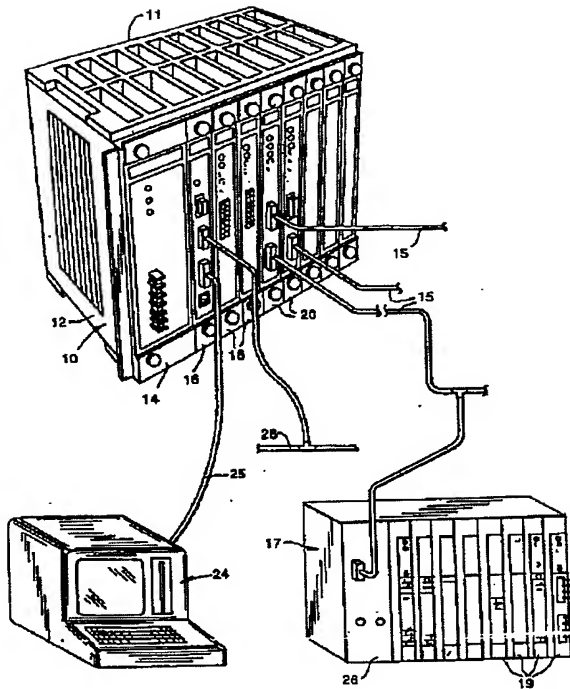
【図1】プログラマブルコントローラの絵画図である。  
 【図2】本発明のフラッシュメモリを用いる、図1のシステムコントローラの略図である。  
 【図3】フラッシュメモリの略図である。  
 【図4】フラッシュメモリの各バンクの記憶場所の記憶地図である。  
 【図5】フラッシュメモリを消去するソフトウェアルーチンのフローチャートである。  
 【図6】フラッシュメモリをプログラミングするソフトウェアルーチンのフローチャートである。

## 【符号の説明】

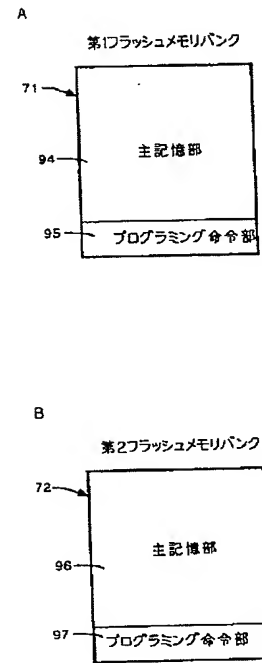
10 プログラマブルコントローラ  
 11 バックプレーン  
 12 ラック  
 14 電源モジュール  
 15 I/Oデータリンク  
 16 システムコントローラ  
 17 リモートI/Oラック  
 18 プロセッサモジュール  
 19 ローカルI/Aモジュール  
 20 リモートI/Oスキャナモジュール  
 21 バックプレーン制御バス  
 22 バックプレーンデータバス  
 23 バックプレーンアドレスバス  
 24 プログラムターミナル  
 25 ゲーブル  
 26 アダプタモジュール  
 28 ローカルエリアネットワーク  
 30 バックプレーンインターフェース部  
 31 プロセッサ部  
 32 通信部  
 33 通信部制御バス  
 34 通信部データバス  
 35 通信部アドレスバス  
 36 第1マイクロプロセッサ  
 37 通信部アドレスデコード回路  
 38 リードオンリーメモリ (ROM)  
 39 ランダムアクセスメモリ (RAM)  
 40 通信部調停回路  
 41 直接メモリアクセス (DMA)  
 42 カウンタ/タイマ回路 (CTC)

43 入出力装置 (UART)  
 44 入出力コントローラ (SIO)  
 45, 46, 47 入ラインドライバ  
 50, 51 信号ゲート  
 52 バス間制御回路  
 53 制御部調停回路  
 54 第2マイクロプロセッサ  
 55 フラッシュメモリ  
 56 システムコントローラの主RAM  
 10 57 プロセッサ部アドレスデコーダ  
 58 割り込みプロセッサ  
 59 データ伝送応答およびバスエラー (DTACK/BERR)  
 60 クロック回路  
 61 命令バス  
 62 プロセッサ部制御バス  
 63 プロセッサ部データバス  
 64 プロセッサ部アドレスバス  
 65, 66 信号ゲート  
 20 67 マスターモード制御回路  
 68 スレーブモード制御回路  
 69 バックプレーン調停回路  
 71 第1フラッシュメモリバンク  
 72 第2フラッシュメモリバンク  
 73-80 メモリ装置  
 81 バンクアドレスバス  
 81H 上位バンクアドレスバス  
 81L', 81L" 下位バンクアドレスバス  
 82, 83 内部データバス  
 30 84 マルチプレクサ  
 85 シフトしたメモリアドレスバス  
 86 バンクアドレスジェネレータ  
 87 メモリアドレスバス  
 88 フラッシュメモリ制御  
 89 制御レジスタ  
 90, 91 データバッファ  
 92, 93 バッファ  
 94, 96 主記憶部  
 95, 97 再プログラミング命令部  
 40 98 制御バス線

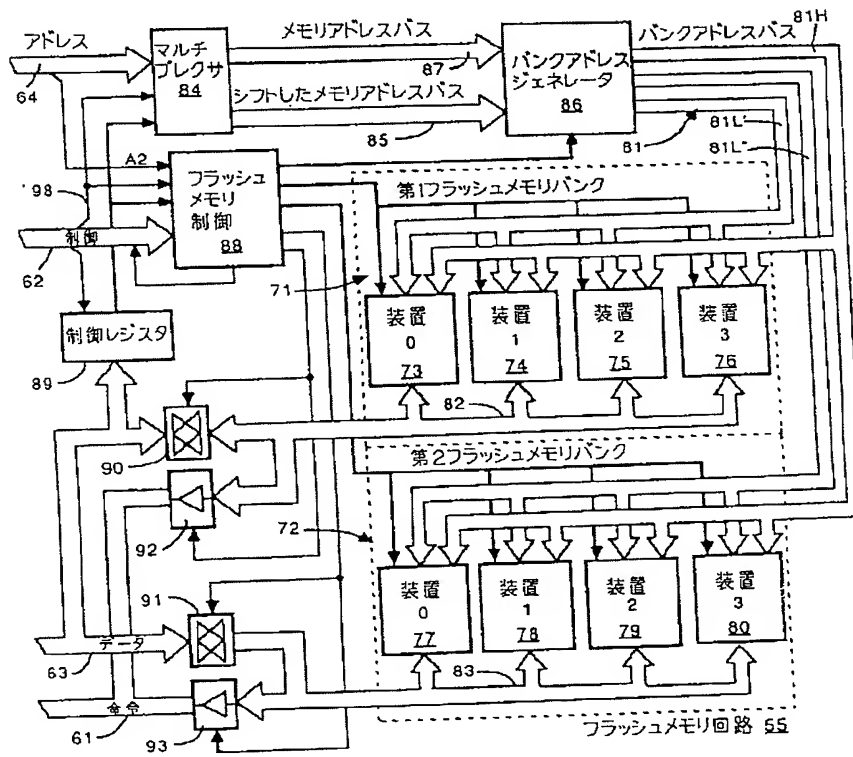
【図1】



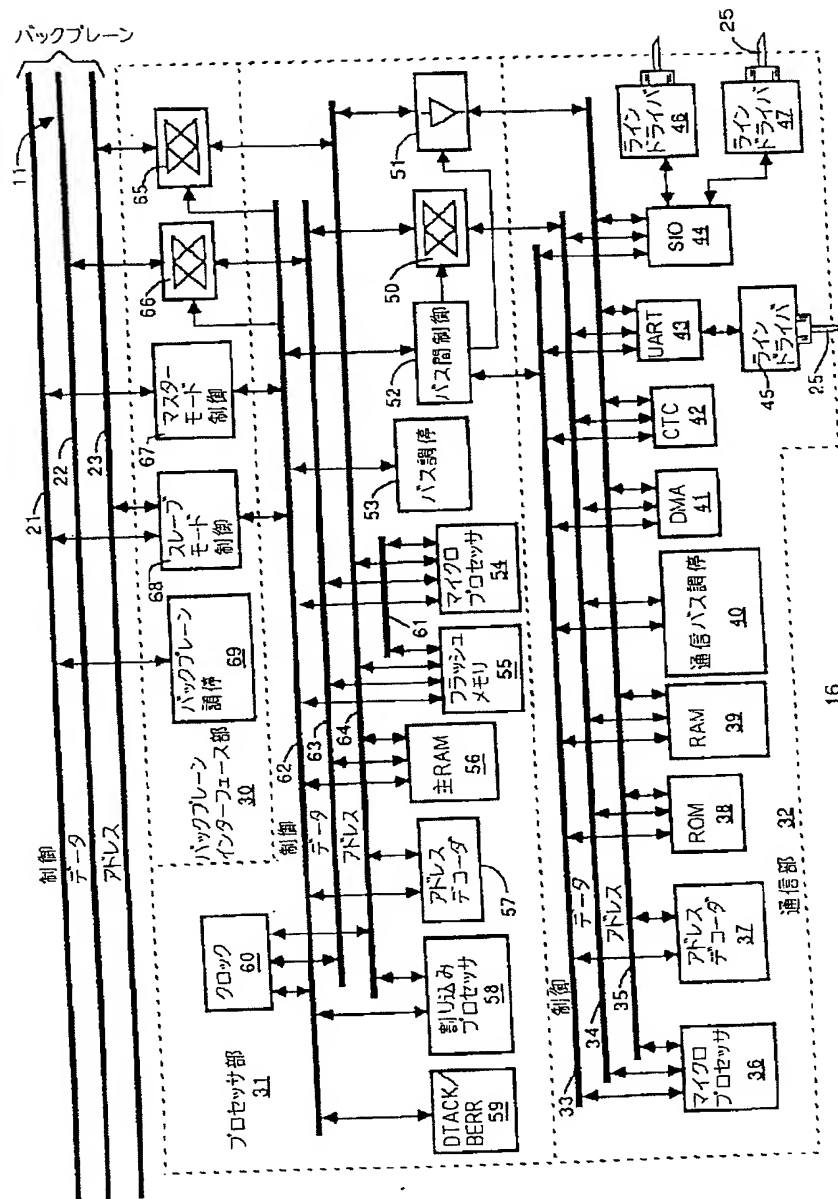
【図4】



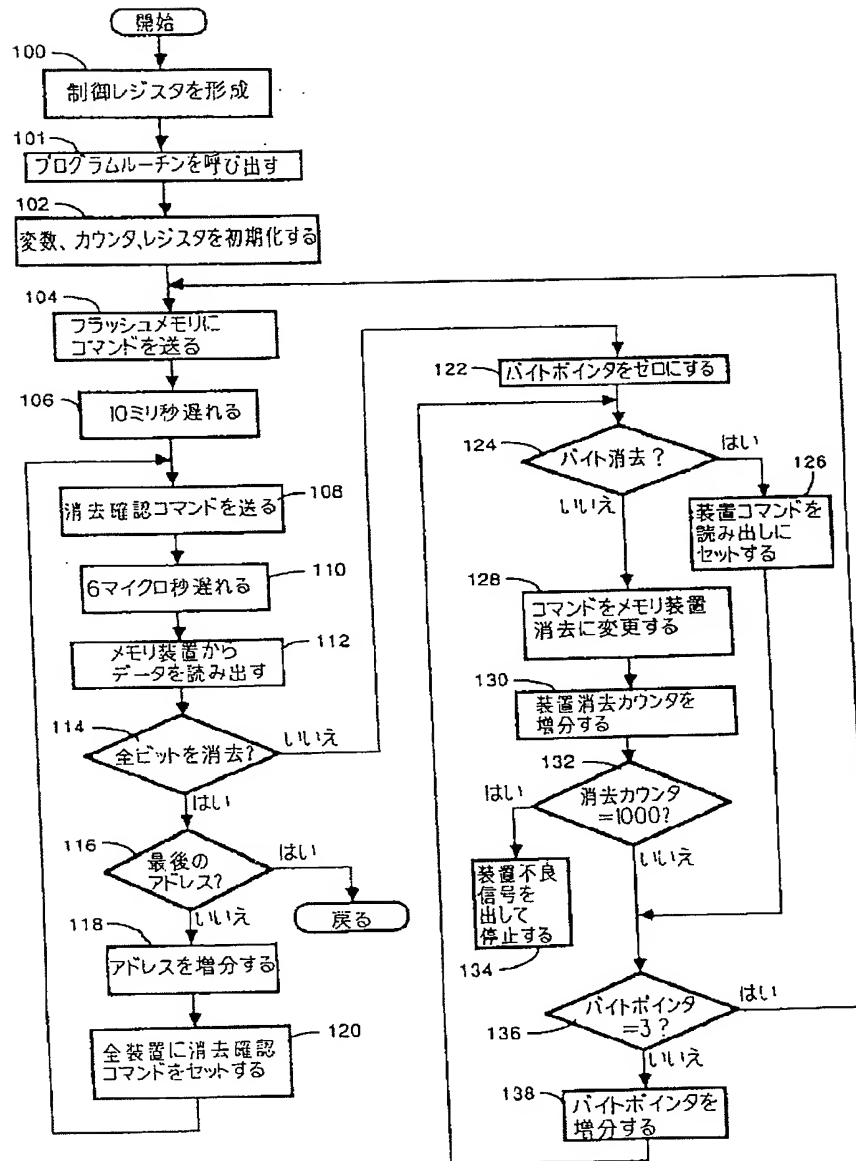
【図3】



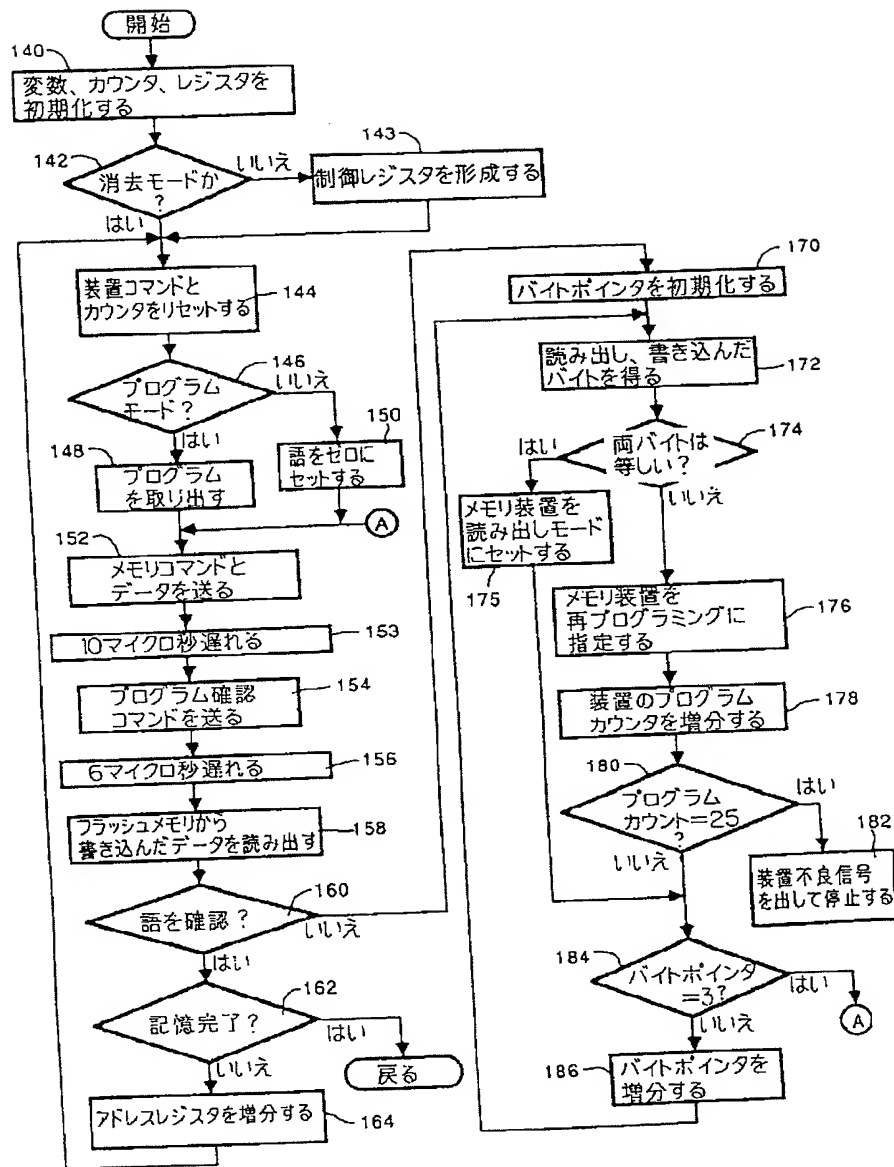
【図2】



【図5】



【図6】



## 【手続補正書】

【提出日】平成5年1月6日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】フラッシュメモリ回路と操作方法

## 【特許請求の範囲】

【請求項1】 デジタルデータ語を記憶するメモリ回路であって、記憶場所のアドレスを受ける第1手段と、前記メモリ回路にアクセスを要求する制御信号を受ける第2手段と、外部装置とデータを交換する手段と、一連の記憶場所を備え、前記データを交換する手段に結

合される第1および第2メモリバンクと、  
前記第1および第2メモリバンクに接続されるアドレスバスと、  
前記第1および第2メモリバンクを制御する手段であって、前記制御手段は前記第1および第2受信手段からそれぞれ受けたアドレスとアクセス要求にตอบสนองして前記メモリバンク内の一方の記憶場所からデータを読み出し、次に前記メモリ回路へのその後のアクセス要求にตอบสนองして前記アドレスバスにアドレスを発生し、前記第1および第2メモリバンクの記憶場所から交互にデータを読み出す第1モードを持ち、また前記制御手段は前記メモリ回路へのアドレスとアクセス要求にตอบสนองして、前記第1および第2メモリバンクの一方だけを使用可能にし、次に前記アドレスバスにアドレスを発生して、前記一方のバンクの記憶場所から順次情報を読み出す第2モードを持つ制御手段とを含むメモリ回路。

【請求項2】 前記第1および第2メモリバンクはそれぞれ並列接続の複数の集積回路メモリ装置で形成され、各装置はデジタルデータ語の異なるビット群を記憶する、請求項1に記載のメモリ回路。

【請求項3】 前記データを交換する手段は、前記第1および第2メモリバンクにそれぞれ接続される第1および第2データバッファを含み、各データバッファは前記制御手段からの別個の制御信号によって使用可能になり、  
前記制御手段は前記第1モードでアクセス要求にตอบสนองして、記憶すデータを読み出すように両メモリバンクを同時に使用可能にするが、前記第1および第2データバッファの一方だけを使用可能にする請求項1に記載のメモリ回路。

【請求項4】 デジタルデータの複合ビット語を記憶するメモリ回路であって、  
前記メモリ回路にアクセスを要求する制御信号を受ける第1手段と、  
それぞれ一連の記憶場所を備える第1および第2メモリバンクと、  
前記第1および第2メモリバンクに接続されるアドレスバスと、  
複数の2進ビットから成る記憶場所アドレスを受けて、第1アドレス値と、前記第1アドレス値の実質的に半分に等しい第2アドレス値とを与える第2受信手段と、  
前記第2受信手段に結合されるアドレスジェネレータであって、一連の出力アドレスの最初のアドレスを示す第2アドレス値にตอบสนองして前記一連の出力アドレスを生成し、前記メモリが受ける制御信号によって使用可能になったときに前記出力アドレスを前記アドレスバスに与え、さもなければ前記アドレスジェネレータが前記第1アドレス値を前記アドレスバスに与える、アドレスジェネレータと、  
前記アドレスジェネレータと前記第1および第2メモリ

バンクを制御する手段であって、第1モードでは前記制御手段は前記メモリ回路へのアクセス要求にตอบสนองして前記第1および第2メモリバンクから記憶したデータを交互に読み出し、第2モードでは前記制御手段は前記メモリ回路への各アクセス要求にตอบสนองして前記第1および第2メモリバンクの同じ一方を使用可能にする制御手段とを含むメモリ回路。

【請求項5】 前記各第1および第2メモリバンクはそれぞれ並列接続の多数の集積回路メモリ装置で形成され、各装置はデジタルデータ語の異なるビット群を記憶する、請求項4に記載のメモリ回路。

【請求項6】 前記第2受信手段は前記記憶場所アドレスを各メモリバンク内の装置数で割って第1アドレス値を与え、前記記憶場所アドレスを各メモリバンク内の装置数の2倍で割って第2アドレス値を与える、請求項5に記載のメモリ回路。

【請求項7】 入出力データバスと、  
前記制御手段からの別個の制御信号によって各データバッファが使用可能になったとき、前記第1および第2バンクを前記入出力データバスにそれぞれ結合する第1および第2データバッファとを更に含む、請求項4に記載のメモリ回路。

【請求項8】 前記第1モードの前記制御手段はアクセス要求にตอบสนองして、記憶したデータを読み出すために前記第1および第2メモリバンクを同時に使用可能にするが、前記第1および第2データバッファの一方だけを使用可能にする、請求項7に記載のメモリ回路。

【請求項9】 メモリ回路を消去する方法であって、  
前記メモリ回路は並列結合の複数のメモリ装置の第1バンクを含んで1組の記憶場所を形成し、各メモリ装置は消去コマンドにตอบสนองして前記装置の複数のデータ記憶領域を消去するものであり、

(a) 前記第1バンクの全てのメモリ装置に消去信号を出す段階と、

(b) 次に前記各記憶場所の内容を順次読み出して、前記記憶場所の全てのビットが消去されたかどうか判断する段階と、

(c) ある記憶場所が消去されていないビットを含むことが分かったときは、消去されていないビットに関連する記憶装置だけに更に消去コマンドを送り、次に前記記憶場所の前記内容を読み出して、今度は全てのビットが消去されたかどうか判断する段階と、を含む。

【請求項10】 各記憶場所の前記内容を逐次読み出す前記段階は、前記バンクの全てのメモリ装置からデータを同時に読み出す、請求項9に記載の方法。

【請求項11】 全ての記憶場所が消去されたと判断した後、

(d) データを記憶するために全てのメモリ装置を同時に書き込み状態にする段階と、

(e) 所定の記憶場所のアドレスとデータ語を前記メモ

リ装置に送る段階と、

(f) 前記所定の記憶場所の前記内容を読み出す段階と、

(g) 前記所定の記憶場所から読み出した前記内容と送った前記データ語とを比較して、前記データ語が正しく記憶されたかどうか判断する段階と、

(h) 前記比較段階の結果前記データ語を正しく記憶しなかったことが分かったときは、前記データ語のビットを正しく記憶しなかったメモリ装置だけを書き込み状態にして、前記データ語を再び前記メモリ回路に送る段階と、を更に含む、請求項9に記載の方法。

【請求項12】 前記所定の記憶場所の前記内容を読み出す前記段階は、全てのメモリ装置からデータを同時に読み出す、請求項11に記載の方法。

【請求項13】 段階(h)の後で段階(f)に戻り、前記データを今度は正しく記憶したかどうか確認することを更に含む、請求項11に記載の方法。

【請求項14】 段階(g)で前記データ語を正しく記憶したと判断した後で段階(d)に戻り、異なる記憶場所に別のデータ語を記憶することを更に含む、請求項11に記載の方法。

【請求項15】 前記メモリ回路が並列結合の複数のメモリ装置の第2バンクを含んで1組の記憶場所を形成し、各記憶装置は消去コマンドに応答して前記装置内の複数のデータ記憶領域を消去し、前記メモリ回路内のデータの消去と記憶を制御するプログラムの別の複写を各バンクに記憶し、一方のバンクで消去または記憶動作を実行中に他方のバンクからプログラムを読み出す、請求項11に記載の方法。

【請求項16】 並列結合の複数のメモリ装置の1バンクを含むメモリ回路を再プログラミングする方法であって、

(a) データを記憶するために全てのメモリ装置を同時に書き込み状態にする段階と、

(b) 所定の記憶場所のアドレスとデータ語を前記メモリ装置に送る段階と、

(c) 前記所定の記憶場所の前記内容を読み出す段階と、

(d) 前記所定の記憶場所から読み出した前記内容と送った前記データ語とを比較して、前記データ語を正しく記憶したかどうか判断する段階と、

(e) 前記比較段階の結果前記データ語を正しく記憶しなかったことが分かったときは、前記データ語の部分を書き込み状態にして、前記データ語を再び前記メモリ回路に送る段階と、を含む。

【請求項17】 段階(e)の後で段階(c)に戻り、前記データを今度は正しく記憶したかどうか確認することを更に含む、請求項16に記載の方法。

【請求項18】 段階(d)が前記データ語を正しく記

憶したと判断した後で段階(a)に戻り、異なる記憶場所に別のデータ語を記憶することを更に含む、請求項16に記載の方法。

【請求項19】 前記所定の記憶場所の前記内容を読み出す前記段階は、全てのメモリ装置からデータを同時に読み出す、請求項16に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデジタルデータを記憶するための固体メモリ装置、より詳しくは一般にフラッシュメモリと呼ぶ一種のメモリ装置に関する。

【0002】

【従来の技術】フラッシュメモリは、消去可能なプログラマブルリードオンリーメモリ(EPROM)および電気的に消去可能なプログラマブルリードオンリーメモリ(EEPROM)技術に基づく不揮発性記憶装置である。この種の装置は設備中でプログラムすることができ、プログラミング電圧や消去電圧を与えまた消去手順を行うことによって、装置内の全てのビットを高論理レベルにセットするのに用いられる。

【0003】これから述べるのは、新しいデータで装置をプログラムするのに用いる新しい手順である。今日、EPROM、EEPROM、電池でバックアップするスタティックRAMおよびディスクメモリなどが用いられている多くの応用に、フラッシュ型の装置が用いられると予測される。

【0004】標準メモリは一般に交互配置の装置のバンクを形成して、性能を改善しアクセス時間を短くする。本発明の技術では、同型のメモリ装置の2個以上のバンクを、それぞれからのデータ要求が重なるように配列する。すなわち1個のバンクがデータを送っている間に、他のバンクは次の一連のデータを送る準備をする。このようにして、遅くて安い、高い機能を持つメモリ装置を使用することができる。

【0005】フラッシュ型メモリの1つの欠点として、現在利用できる装置は、プログラムする前に完全に消去しなければならないことである。この種の装置を設備の中で再プログラミングするときは、再プログラミングのために取り外すのではなく、再プログラミングのソフトウェアルーチンを設備中の別の場所に記憶しなければならない。このため一般には、再プログラミングルーチン用として不揮発性メモリや別のリードオンリーメモリなどの追加のメモリ装置を用意する。

【0006】別の種類のフラッシュメモリ装置も提案されているが、まだ市販されていない。これは一般にセクター別消去フラッシュメモリと呼ばれる。このフラッシュメモリは決して消去できない一群の記憶場所を回路中に備え、この中に初期化ルーチンや再プログラミングルーチンが入る。

【0007】この保護されたセクターを持てば現在のフ



ラッシュメモリに関する問題は解決されるが、保護されたルーチンを変更する場合には、恐らく新しい装置を設けなければならない。またこのメモリは固定した大きさのセクターに分割されるので、各ユーザの必要に応じた最適の大きさにはならない場合があることも問題である。

【0008】

【発明が解決しようとする課題】従って望ましいフラッシュメモリは、初期化ルーチンおよび再プログラミングルーチンを記憶することができるものであって、装置の別の部分を再プログラミングできるだけでなく、必要であれば初期化ルーチンおよび再プログラミングルーチンを変更できるものである。

【0009】更に現在利用可能なフラッシュメモリ装置は8ビットなので、多くのマイクロプロセッサが必要とする16ビットや32ビットのデータ語を記憶するためには、装置を何個か並列に接続しなければならない。このように並列に接続することはよく知られており、各種の他の型の8ビットメモリ装置で用いられてきた。

【0010】従来の並列構成では、並列のメモリバンクにある装置をすべて消去し再プログラミングするのが普通であった。すなわち所定のアドレスを並列接続の全ての装置に与え、各装置の対応する記憶場所を同時に消去する。

【0011】その後でその記憶場所をテストして、正しく消去されたことを確認する。もし並列接続のメモリ装置の中の1個でも記憶場所が消去されていなければ、全ての並列接続の装置を再び消去する工程を繰り返す。

【0012】この方法は他の型のメモリでは問題内が、フラッシュ型メモリの1つの欠点は、ある記憶場所に行ってよい消去サイクルの回数が限られていることである。

【0013】従って正しく消去されなかった装置が1個しかないときに、そのバンク内の全ての装置に重ねて消去サイクルを行うと、他の装置に不必要な消去サイクルを行って完全に損傷させる場合もある。

【0014】従ってフラッシュ型メモリに用いられる普通の方法は、バンク内の各装置を別個に消去して、各装置が実際に必要とする消去サイクル回数だけをその装置に与えることである。個々の装置を消去すればそれぞれの装置に不必要な消去サイクルを行う問題はなくなるが、非常に時間がかかる。

【0015】従ってフラッシュメモリを含む回路の設計者は、並列消去によって装置を消去し過ぎることと、個々に消去して時間をかけ過ぎることとの取捨選択に直面する。

【0016】

【課題を解決するための手段】メモリ中の別の記憶場所にデジタルデータ語を記憶するメモリ回路をここに提供する。第1手段は記憶場所のアドレスを受け、第2手段

はメモリ回路へのアクセスを要求する制御信号を受ける。このメモリは第1メモリバンクと第2メモリバンクを備え、それぞれ一連の記憶場所を持ち、データを交換する手段に結合される。

【0017】望ましい実施態様では、各メモリバンクは複数の並列接続の集積回路メモリ装置で形成され、各装置はデジタルデータ語の異なるビット群を記憶する。アドレスバスが第1および第2メモリバンクに接続され、アクセスする記憶場所を示すアドレス信号を伝える。

【0018】動作モードは2種類あり、制御機構がメモリ回路を一方の動作モードにする。第1モードでは、この制御機構は最初のアクセス要求とアドレス信号にตอบสนองして、一方のメモリバンク内の記憶場所からデータを読み出す。その後次の隣接する記憶場所へアクセス要求を行うときには、要求と共にアドレスを送る必要がない。

【0019】制御機構はその後の要求にตอบสนองしてアドレスを発生し、第1および第2メモリバンクの記憶場所からデータを交互に読み出す。しかし次の隣接する記憶場所以外へのアクセス要求の場合は、要求と共にアドレスを送る必要がある。

【0020】第2の操作モードでは、第1モードと同様に制御機構はメモリ回路への各アクセス要求にตอบสนองするが、2個のメモリバンクの内、要求と共に送られる制御信号が決定する方だけを動作可能にする。この方法は、余分な外部メモリを必要とせずに他のメモリバンクを完全に消去し再プログラミングすることのできる独特の手段である。

【0021】また、メモリ回路を消去しプログラミングする新しい方法も開示する。メモリは消去命令によって消去するが、この命令はバンク中の各メモリ装置の全ての記憶場所を消去する。次に各記憶場所の内容を順次読み込んで、各場所の全てのビットが消去されたかどうかを確認する。

【0022】所定の記憶場所に消去されていないビットがあることが分かったと、ビットが消去されていないメモリ装置にだけ重ねて消去命令を送る。次にその記憶場所の内容を再び読み出して、今度は全てのビットが消去されているかどうか確認する。

【0023】メモリ回路が完全に消去されていることを確認すると、再プログラミングを始めることができる。全てのメモリ装置を同時に書き込み状態にして、所定の記憶場所のアドレスとデータ語をメモリ装置に送る。次にその記憶場所の内容を読み出す。

【0024】その記憶場所から読み出した内容と送ったデータ語とを比較して、データ語を正しく記憶したかどうか確認する。比較した結果データ語を正しく記憶していなければ、データ語のビットを正しく記憶しなかったメモリ装置だけを書き込み状態にして、データ語を再びそのメモリ回路に送る。

【0025】一般にその記憶場所を再びチェックして、

今度はデータを正しく記憶したかどうか確認する。もし正しく記憶されていれば、他の記憶場所に移ってデータを記憶する手順を繰り返す。

【0026】この消去および再プログラミングの方法により、各記憶場所を正しく消去し再プログラミングしたことを確認する。メモリバンク内のある特定のメモリ装置が消去または再プログラミングされていなければ、その装置だけを消去または再プログラミングする。

【0027】この方法により、正しく作動したメモリ装置に不必要な消去およびプログラミング操作をせずにすみ、またメモリ装置のプログラミング、消去、確認を並列に行うことによって、システムの機能が向上する。

【0028】

【実施例】図1において本発明のプログラマブルコントローラ10はトラック12に納められ、ラック12は複数のプリント回路板モジュールを入れる一連のスロットを含む。これらの機能モジュールは、ラック12の背面に沿って伸びるマザーボードに接続して、バックプレーン11を形成する。

【0029】バックプレーン11は、バックプレーンの伝導パターンによって相互に接続される複数のモジュールコネクタを備える。バックプレーン11はモジュールを接続する一連の信号バスを備える。ラック12は電源モジュール14、システムコントローラ16、多数のプログラム実行プロセッサモジュール18、複数のリモート入出力(I/O)スキャナモジュール20を含む。ただしスキャナモジュールは1個だけでよい。

【0030】ラック12の残りの場所は空いていて、追加の機能モジュールをスロットに挿入するまでは、スロットは空のプレートで覆われている。

【0031】リモートI/Oスキャナモジュール20は4個以内で、コントローラ10と外部のリモートI/Oラック17とを、直列のI/Oデータリンク15を通してインターフェースする。各リモートI/Oラック17は、制御対象設備の各センサおよび作動器に結合される複数のローカルI/Oモジュール19を備える。

【0032】ローカルI/Oモジュール19には多くの形式があり、例えばDC入出力、AC入出力、アナログ入出力、開ループまたは閉ループ位置決めモジュールを備えてよい。I/Oラック17とネットワーク15は、従来のインターフェースおよび通信技術を用いる。

【0033】またリモートI/Oラック17はアダプタモジュール26を含む。これは例えば、アメリカ特許番号4,413,319に記述されているように、I/Oネットワーク15を通してI/Oモジュール19とスキャナモジュール20との間のデータ伝送を制御する。

【0034】システムコントローラ16はケーブル25を通してプログラミングターミナル24に接続される。これはユーザのプログラムをプログラマブルコントローラにロードして操作し、またシステムの機能を監視する

のに用いる。ターミナル24はパーソナルコンピュータで、ユーザがこのターミナルで制御プログラムを開発して、プログラマブルコントローラにロードすることができるようにプログラムされている。

【0035】プログラムをプログラマブルコントローラにロードして動作をデバッグした後は、操作の監視が必要でなければターミナル24をシステムコントローラ16から切り離してよい。

【0036】またシステムコントローラ16は、ローカルエリアネットワーク(LAN)28に接続してよく、LANを通してホストコンピュータからデータやプログラム命令を受け、また状態の情報や報告データを送る。これによりホストコンピュータまたは中央のターミナルは、工場の現場にある複数のプログラマブルコントローラの動作をプログラムし制御することができる。

【0037】図2に概略を示すシステムコントローラ回路はバックプレーンバス21-23に接続し、3つの部30、31、32(破線で示す)に分割され、バックプレーンのインターフェース、処理、通信の機能を持つ。バックプレーンインターフェース部30は全てのラックモジュールからラックバックプレーン11へのアクセスを管理し、システムコントローラモジュール16をバックプレーンに接続する。

【0038】プロセッサ部31はコントローラ10の監視プログラムを実行し、通信部32は外部ターミナル24やLAN28のようなローカルエリアネットワークとの通信を主業務とする。プロセッサ部31と通信部32は共に、それぞれ1組の内部バス62-64と33-35を備える。

【0039】通信部バスは、通信部中の要素間を走る多数の個々の制御線を備える制御バス33、並列のデータバス34、並列のアドレスバス35から成る。通信部32は第1マイクロプロセッサ36を中心に組み立てられ、マイクロプロセッサ36はリードオンリーメモリ(ROM)38に記憶されている機械語命令を実行する。

【0040】命令はROMから取り出されてデコードされ、マイクロプロセッサ36はこれを実行して通信機能を行う。これらの機能を制御するプログラムは、前述のプログラマブルコントローラで用いるものと同様である。

【0041】従来型のアドレスデコード回路37が第1プロセッサ36から送られる各アドレスを受けてデコードし、相応する信号を生成して制御バス33に出す。例えば第1マイクロプロセッサ36がROM38にアクセスすると、アドレスデコード回路37は、マイクロプロセッサがバス35に送るアドレスがROMのアドレスの範囲内にあることを確認する。

【0042】通信部中のどの装置にアクセスするかが分かると、アドレスデコード回路37はその装置のための

制御信号を生成してアクセスする。

【0043】2個の直列入出力装置UART43と直列入出力コントローラ(SIO)44も、3本の通信部バス33-35に接続される。UART43は、市販の一般的な非同期送受信器集積回路のどれでもよい。

【0044】UART43は通信部データバス34にある並列データを正しくフォーマットされた直列信号に変換し、入出力ラインドライバ45に送る。ラインドライバ45は、RS232、RS423、RS422などの直列信号標準のどれかに対応する出力信号を出す。

【0045】直列I/O(SIO)通信コントローラ44は2本の同期直列通信チャンネルを扱う標準集積回路のどれでもよい。

【0046】SIO44はシステムコントローラ16の通信部と、ラインドライバ46および47に接続されるローカルエリアネットワーク、例えば図1のネットワーク28、とをインターフェースする。図1に示すプログラミングターミナル24は、ラインドライバ46か47の一方に接続する。

【0047】また通信部32内にはランダムアクセスメモリ(RAM)39もあり、システムコントローラ16に接続される各種の外部装置と受け渡すデータを一時的に記憶する。

【0048】RAM39はアドレスバス35を通してアクセスしてよく、制御バス33からの使用可能信号に従ってバス34を通してデータをメモリに読み書きしてよい。直接メモリアクセス(DMA)回路41は、通信中にSIO44とRAM39の間で高速のデータ交換を可能にするために設けられる。

【0049】DMA回路41により、SIO44はRAM39にアクセスして、各外部通信チャンネルを通して送受信するデータを記憶または取得することができる。

【0050】調停回路40は通信バス33-35へのアクセスを制御し、これらのバスに複数の装置からアクセスの要求が同時に入ったときに調整する。調停回路40は、通信部のどの要素が共有バス33-35にアクセスするかを決める。

【0051】バスを要求する装置が制御バス33を通して要求信号を調停回路40に送ると、調停回路は一度に1装置にだけ要求を認め、その装置用の制御線にアクセス信号を出す。

【0052】カウンタ/タイマ回路(CTC)42は通信バス33-35と第1マイクロプロセッサ36の割り込み端子とに接続し、通信部内の他の要素からの割り込み要求を処理する。

【0053】CTC42はタイマでもあり、所定の間隔、例えば10ミリ秒毎に第1マイクロプロセッサ36に割り込み要求を出し、実行中のタスクにかかわらず各種のルーチンを定期的に行わせる。

【0054】この割り込み要求に応答して、第1マイク

ロプロセッサ36はCTC42からベクトルを読み出し、ROM38に記憶されている該当する割り込みルーチン、例えばUART43やSIO44からのデータ要求を処理するルーチンに向かう。

【0055】更に図2においてプロセッサ部31は、制御バス62、32ビットのデータバス63、並列のアドレスバス64を含む一組のバスに連結する。バス62-64へのアクセスは、通信バスの回路40と同様な調停回路53で制御される。

【0056】2組の信号ゲート50と51が、通信部バス34、35とシステムコントローラモジュール16のプロセッサ部バス63、64の間に設けられる。詳しくいうと、第1組のゲート50は、通信部データバス34とプロセッサ部31のデータバス63を双方向に接続する。また第2組のゲート51は2本のアドレスバス35と64を接続する。

【0057】バス間制御回路52がプロセッサ部31と通信部32の制御バス62と33にそれぞれ接続され、データゲート50とアドレスゲート51を動作可能にして、調停回路40と53からのアクセス要求信号に応答する。

【0058】プロセッサ部31は32ビット第2マイクロプロセッサ54、例えばアドバンスト・マイクロ・デバイセス社製のモデル29000などを中心に構成される。第2プロセッサ54は、プログラマブルリードオンリーメモリ(PROM)55に記憶されているプログラム命令を実行する。

【0059】命令は別の命令バス61を通してPROM55から読み出す。また以下に述べるように、データバス63をPROMに接続して命令を記憶する。

【0060】PROM55はフラッシュ型メモリで、各記憶場所は32ビットである。本発明は以下に述べるフラッシュメモリ55の構成と動作の詳細に関する。

【0061】第2マイクロプロセッサ54は実質はメモリマップ装置で、入出力線は直接には接続されない。従ってプロセッサバス上の他の要素へのアクセスは、バス64にアドレスを出すことによって行う。

【0062】第2マイクロプロセッサ54から送られるアドレスはアドレスデコード回路57でデコードされ、アクセスする要素への制御信号を生成する。プロセッサ部アドレスデコーダ57の機能は、通信部アドレスデコード回路37と殆ど同様である。またプロセッサ部31は、第2マイクロプロセッサ54への割り込みを制御する割り込みプロセッサ58を含む。

【0063】データ伝送応答およびバスエラー(DTACK/BEERR)回路59もプロセッサ部制御バス62に接続される。回路59はプロセッサ部31内の各要素からの信号に応答してデータ伝送の完了の応答を出し、また不適当なアドレッシングやデータ伝送失敗が起こった場合はバスエラー信号を出す。

【0064】これらの信号は、第2プロセッサ54が取り上げて処置する。またプロセッサ部31は、主システムクロックおよび実時間クロックを含むクロック回路60を含む。

【0065】システムコントローラ16の主RAM56もプロセッサ部バス62-64に接続される。RAM56はメモリ場所を含む32ビットのメモリで、コントローラ10全体のシステムメモリの役目をする。

【0066】システムRAM56は、システムコントローラ内の第2マイクロプロセッサ54が介入することなく、システム内の他のモジュールからバックプレーン11を通して直接アクセスすることができる。主RAM56は、ターミナル24を通してユーザから与えられる構成データや、数個の機能モジュールが共用する他のデータを記憶する。

【0067】更に図2において、システムコントローラ16のプロセッサ部31は、両バス群に結合する複数の要素を通して、バックプレーン11のバス21-23とインターフェースする。

【0068】詳しくいうと、バックプレーンデータバス22は1組の双方向データ伝送ゲート66によってプロセッサ部データバス63に接続し、バックプレーンアドレスバス23は別の1組の双方向ゲート65によってプロセッサ部アドレスバス64に接続する。

【0069】システムコントローラ16がバックプレーン11を制御しようとするときは、マスターモード制御回路67がプロセッサ部バス62の制御線の信号にตอบสนองしてバックプレーン制御バス21に必要な制御信号を出し、ラック12内の他のモジュールにアクセスする。

【0070】ラック12内の他のモジュールがシステムコントローラ16にアクセスして、例えば主RAM56の内容を読み出そうとするときは、システムコントローラはこのモジュールによるバックプレーン11の制御に従う。

【0071】この場合システムコントローラ16内のスレーブモード制御回路68が、バックプレーンアドレスバス23および他のモジュールから来るバックプレーンバス21の制御線を通して送られる信号にตอบสนองする。

【0072】スレーブモード制御回路68は伝送ゲート65と66に信号を出して、他のバックプレーンモジュールがシステムコントローラ16にアクセスできるようにする。この場合は、マスターモード制御回路67は休止状態にある。

【0073】2個のバスゲート65と66は、バックプレーン通信のモードに従って、制御バス62の各線を通してマスター制御回路67とスレーブ制御回路68から使用可能制御信号を受ける。バックプレーン調停回路69はバックプレーン11へのアクセスを管理し、またシステム中の各モジュールから来るアクセス要求を調整する。

【0074】プロセッサ部31のプログラマブルリードオンリーメモリはフラッシュ型メモリ55で、例えばアドバンスト・マイクロ・デバイス社が1989年に発行した、「フラッシュメモリ製品データブック」に記述されている。この装置は、第2マイクロプロセッサ54が実行するバーストアドレッシングモードで動作するように構成されている。

【0075】このアドレッシングモードでは、第2マイクロプロセッサ54はアクセスしようとするメモリ部の最初のアドレスを送る。例えばこのアドレスは、メモリから連続して読み出してマイクロプロセッサに与える一連のプログラム命令の、最初の命令の記憶場所である。

【0076】フラッシュメモリ55が最初のアドレスを受けた後、続いて各読み出し/書き込みサイクルの制御信号を受けると、メモリアドレスジェネレータは次に続く記憶場所に段階を増分する。

【0077】第2マイクロプロセッサ54が連続しないアドレスにアクセスしようとするとき、例えば制御プログラム中にジャンプ命令が来て次の命令が前の命令に隣接していない場合には、第2マイクロプロセッサは新しいアドレスをフラッシュメモリ55に送る。

【0078】またフラッシュメモリ55は、第2マイクロプロセッサ54のシーケンシャルアドレッシングモードにも適応する。このモードでは、ある記憶場所へのアクセス要求は全てアドレスを伴って行う。マイクロプロセッサ54から受ける制御信号は、その時刻に用いられているアドレッシングモードを指定する。

【0079】図3において、フラッシュメモリ55は破線で示す2個のバンク71と72を備え、各バンクはそれぞれ4個のフラッシュメモリ装置73-76と77-80を持つ。例えばフラッシュメモリ装置はアドバンスト・マイクロ・デバイス製のモデル28F010装置である。

【0080】各メモリ装置は8ビットで、4個が共通のバンクアドレスバス81と内部バンク内部データバス82または83に並列に接続される。データバス82と83の個々のビット線が各メモリ装置73-76と77-80に接続する。従って所定のバンクにある4個のメモリ装置の組合せにより、各バンク内の個々のアドレス可能な各記憶場所に32ビットのデータ語が含まれる。

【0081】第2マイクロプロセッサ54は、データをフラッシュメモリ55に記憶させる場合に32ビット語ではなくバイトのデータでアドレスを出す。従ってプロセッサ部バス64のアドレスを4で割って、所望のバイトを含むメモリの語のアドレスを生成する。

【0082】このアドレスをここでは「語アドレス」と呼び、バンクアドレスバス81に与える。各バンクの装置の数を多くするか少なくするかにより、または8ビット以上の装置を使用することにより、各記憶場所には別々の大きさのデータ語を記憶することができる。

【0083】バンクアドレスバス81は、第1および第2フラッシュメモリバンク71と72に対してそれぞれ別個の8ビットの下位バス81L'と81L''に分割される。下位バス81L'と81L''は8ビットの最下位アドレスビットを伝える。残りの上位のアドレスビットは、両メモリバンク71と72に接続される共通上位アドレスバス81Hが伝える。

【0084】交互配置のバンクアクセスモードで動作しているときにフラッシュメモリ55に一群のアドレスを割り当てるには、第1メモリバンク71の記憶場所に奇数の語アドレスを割り当て、第2メモリバンク72には偶数の語アドレスを割り当てる。バス64のアドレスのビットA2（語アドレスの最下位ビット）は、どのメモリバンクが所望の記録場所を持つかを示す。

【0085】以下に述べるように、内部的には両メモリバンクはそれぞれ同じアドレスに記憶場所を含み、メモリ制御88は語アドレスの最下位ビットに基いて、両フラッシュメモリバンク71と72のどちらにアクセスするかを決める。

【0086】図4Aと図4Bに示すように、第1メモリバンク71と第2メモリバンク72は共に、記憶部94と95および96と97にそれぞれ2分割される。各フラッシュメモリバンクの一方の記憶部95と97は、フラッシュメモリ55を消去またはプログラミングするためのプログラム命令の複写を含む。

【0087】これらの機能をプログラミングするルーチンについては後で詳細に述べる。他方の部分94と96は、他のプログラムの記憶と第2マイクロプロセッサ54の実行に用いられる。

【0088】プロセッサ部アドレスバス64は並列のマルチプレクサ84に接続され、マルチプレクサ84は制御バス62の信号にตอบสนองして、メモリアドレスバス87かシフトしたメモリアドレスバス85を通してプロセッサ部アドレスバス64をバンクアドレスジェネレータ86に結合する。

【0089】マルチプレクサは、入力バス64をメモリアドレスバス87に結合すると、最下位の2ビットA0とA1を落として、つまりアドレスを4で割って、語アドレスを発生する。この結合はシーケンシャルアクセスモードで用いられる。

【0090】交互配置のバンクアクセスモードでは、マルチプレクサはビットA0とA1を落とし、残りのビットを1桁シフトして、第2マルチプレクサ54からのアドレスを8で割る。これにより、シフトしたメモリアドレスバス85に与えられたアドレスからビットA2を落とす。

【0091】マルチプレクサ84からの2本のバス85と87は、バンクアドレスジェネレータ86に入力として与えられ、得られたアドレスを開始アドレスとして用い、バーストモードアドレッシング中に第1および/ま

たは第2メモリバンク71、72内の一連の隣接する記憶場所にアドレスする。フラッシュメモリ制御回路88によって使用可能になると、アドレスジェネレータ86はアドレスをバンクアドレスバス81に与える。

【0092】プロセッサ部アドレスバス64からのアドレス線A2はフラッシュメモリ制御88に入り、このアドレスビットを用いて2個のフラッシュメモリバンク71と72の一方を選択して、交互配置のモードでアクセスする。

【0093】またプロセッサ部制御バス62の選択された線はフラッシュメモリ制御88に接続され、バンクアドレスジェネレータ86と第1および第2フラッシュメモリバンク71と72を制御する信号を生成する。

【0094】またフラッシュメモリ制御88は2組の双方向データバッファ90と91の一方を選択的に使用可能にして、バンクデータバス82と83をプロセッサ部データバス63にそれぞれ結合する。フラッシュメモリ制御88がバッファ92と93をそれぞれ選択的に使用可能にすると、バンクデータバス82と83を命令バス61に結合することができる。

【0095】プロセッサ部データバス63の各線は制御レジスタ89の入力に接続され、制御バス62の信号によって使用可能になると、制御レジスタ89はこれらの線で送られたデータを記憶する。

【0096】以下に説明するように、制御レジスタ89に記憶されている1データビットは、フラッシュメモリ55が交互配置のバンクアクセスモードで動作するか、単一バンクアクセスモードで動作するか、また後者のモードではどのバンクをアクセスするか、を決定する。

【0097】前者のアクセスモードでは、第1バンク71にある記憶場所に奇数番号アドレスを割り当て、第2バンク72に偶数番号アドレスを割り当てる。単一バンクアクセスモードでは、メモリバンク71と72の一方だけにアクセスする。どちらのアクセスモードでも、第2マイクロプロセッサ54はバーストまたはシーケンシャルアドレスモードで動作することができる。

【0098】制御レジスタの他のビットは、個々にメモリバンク71と72を選んで消去またはプログラミングする。制御レジスタ89の出力は、バンクマルチプレクサ84とフラッシュメモリ制御88に結合される。

【0099】フラッシュメモリ55は、メモリバンク71と72のどちらかの記憶場所だけに順次アクセスするか、または交互配置の方式で両メモリバンクにアクセスするように構成することができる。

【0100】交互配置のアクセスモードでは、バンク71と72は共に第2マルチプレクサ54からのアクセス信号と制御信号によって同時に動作するが、バッファ90-93によって一度に一方のバンクだけが命令バス61とデータバス63に接続される。

【0101】交互配置のアクセスモードでフラッシュメ

メモリからプログラム命令を得る場合、命令は両バンク71と72から交互に読み出される。

【0102】プログラム命令をメモリバンク71と72内の主記憶部94と96から読み出して実行するときは、制御レジスタ89内の1ビットがフラッシュメモリ55をバンク交互配置アクセスモードにする。このデータは第2マイクロプロセッサから送られて制御レジスタ89に記憶される。

【0103】このモードでは、奇数番号のアドレスを第1バンク71に割り当て、偶数アドレスを第2バンク72に割り当てるので、命令を各フラッシュメモリバンクから交互に読み出す。

【0104】更に第2プロセッサ54は一般に、バーストアドレッシングを用いてフラッシュメモリから実行する命令を得る。バーストモードアドレッシングの使用は、制御バス62の信号によって指示される。

【0105】メモリアクセス操作は、一連の命令の最初の命令を記憶するアドレスを第2マイクロプロセッサ54が発生することから始まる。このアドレスは偶数か奇数で、プロセッサ部31のアドレスバス64を通してフラッシュメモリ55に送られる。

【0106】同時にアドレスデコーダ回路57はこのアドレスをデコードして一連の制御信号を生成し、フラッシュメモリ55の必要な読み出しまたは書き込み動作を可能にする。

【0107】フラッシュメモリ制御88は、アドレスデコーダ57および第2マイクロプロセッサ54から制御バス62を通して送られる従来の制御信号を受ける。これらの制御信号は読み出し動作が起こっていることを示し、フラッシュメモリ制御88をシステムコントローラ16の他の要素に同期させる。

【0108】フラッシュメモリ制御88はアドレスバス64のビットA2にตอบสนองして、必要なフラッシュメモリバンク71または72を使用可能にする。詳しくいうと、フラッシュメモリ制御によって、ビットA2が低論理レベルのときは第1バンク71にアクセスし、ビットA2が高論理レベルのときは第2バンク72にアクセスする。

【0109】第2マイクロプロセッサ54からのアドレスはフラッシュメモリバンクマルチプレクサ84が受けて、シフトしたメモリアドレスバス85を通してバンクアドレスジェネレータ86に、交互配置のアクセスモードで送る。マルチプレクサは語アドレスを1ビット右にシフトし、語アドレスの最下位ビット(A2)を落とす。

【0110】この操作の結果をバンクアドレスジェネレータ86に送り、ここでフラッシュメモリバンク71と72にアクセスする第1アドレスとして用いる。この最初のアドレスの最上位ビットは、バンクアドレスジェネレータから直接上位バンクアドレスバス81Hに与え、

最下位8ビットは下位アドレスバス81L'と81L''に与える。

【0111】読み出される第1命令が第1メモリバンク71に記憶されていると仮定する。フラッシュメモリ制御88によってメモリ装置73-76と命令バスバッファ92が使用可能になり、第1フラッシュメモリバンク71はプロセッサ部31内の命令バス61に接続される。

【0112】また第1メモリバンク71は、フラッシュメモリ制御88から他の制御信号を受ける。メモリ装置はこれにตอบสนองして、アドレスされた場所の内容を第1バンクデータバス82に与える。

【0113】命令をバス61に与えると、従来のデータ伝送応答信号がフラッシュメモリ制御回路88から制御バス62に与えられる。アクセスが完了すると、フラッシュメモリ制御88は制御バス62の信号にตอบสนองして、命令バッファ92を使用不可能にする。

【0114】第1メモリバンク71にアクセスしている間に、フラッシュメモリ制御88は制御信号を第2メモリバンク72に与えて、バンクアドレスバス81を通して送る同じアドレスの記憶場所にアクセスする。これにより、この記憶場所の内容を第2バンクデータバス83に与える。

【0115】しかし第2メモリバンク72に関連するバスバッファ91と93はこのとき使用可能になっていないので、第2バンクデータバス83はプロセッサ部バス61と63には結合されない。

【0116】連続したプログラム命令がメモリバンク71と72から交互に読み出される。この例では、第2プログラム命令はフラッシュメモリ55の第2バンク72から読み出される。

【0117】第2マイクロプロセッサ54が次の読み出し要求を制御バス62に発生させると、フラッシュメモリ制御88はこれにตอบสนองして、第2メモリバンク72に関連する命令バスバッファ93を使用可能にする。

【0118】第1命令と第2命令は両メモリバンクのそれぞれ同じ内部アドレスにあったので、この命令は前のアクセス要求のときにすでに第2バンクデータバス上にある。従って第2命令を得るのに必要な時間は、第1命令に必要な時間よりはるかに小さい。

【0119】第2命令を第2フラッシュメモリバンク72から読み出している間に、バンクアドレスジェネレータは第1バンク71の下位アドレスバス81L'の最下位8ビットを増分する。

【0120】従ってこのサイクルの間に、第1バンクは次のアクセス要求を受けるとすぐ次の第3命令にアクセスする準備ができています。バスバッファ90と92が使用不可能なので、第3命令はデータバス63にも命令バス61にも与えられない。

【0121】フラッシュメモリ制御88はプログラム命

令に対する第3要求に回答して、第1メモリバンク71と関連する命令バスバッファ92を使用可能にし、このバンクから第3命令を読み出す。

【0122】この間に、バンクアドレスジェネレータ86は、第2フラッシュメモリバンク72の下位バス81Lに与えられている最下位アドレスビットを増分する。この動作により、フラッシュメモリ55が次のアクセス要求を受けると、第2バンク72は次の命令を出す準備ができています。

【0123】このようにして、フラッシュメモリ制御88は読み出し要求を受けると、メモリバンク71と72から交互に命令を得る。この方法により、一連の隣接する記憶場所へのアクセスが速くなる。

【0124】次の命令が次の論理アドレスにある限り、バンクアドレスジェネレータ86がアドレッシングを制御するので、第2マイクロプロセッサ54は各アクセス要求と共にアドレスを送る必要がない。

【0125】ジャンプ命令を実行するときのように、次の命令が隣接するメモリ場所に記憶されていない場合は、第2マイクロプロセッサ54はアクセス要求と共にこの命令のアドレスをフラッシュメモリ55に送る。フラッシュメモリ制御88はこれに回答して、新しいアドレスをバンクアドレスジェネレータ86にロードする。

【0126】フラッシュメモリのシーケンシャルアドレッシングはバーストアドレッシングほど効率的ではないが、シーケンシャルアドレッシングは交互配置のアクセスモードで記憶場所にアクセスするのに用いることができる。

【0127】この場合フラッシュメモリ制御88は、シーケンシャルアドレッシングモードを用いることを示す信号を第2マイクロプロセッサ54から受ける。制御88はこれに回答して、バンクアドレスジェネレータに指示し、シフトしたメモリアドレスバス85からのアドレスを直接バンクアドレスバス81に与える。

【0128】プログラム命令ではなくてデータをフラッシュメモリ55から読み出すときは、データはメモリ装置73-80のどれに記憶してもよい。その結果フラッシュメモリバンク71と72は各データ要求に回答して同時に動作するが、プロセッサ部データバス63には一方のバンクだけが結合される。

【0129】この場合マルチプレクサ84は、命令ではなくてデータを要求していることを示す信号を制御バス線98から受ける。この信号によりマルチプレクサ84は入力するアドレスに作用し、制御レジスタが指定したのが交互配置したアクセスモードか単一バンクアクセスモードかにかかわらず、この結果をシフトしたアドレスバス85に与える。

【0130】またフラッシュメモリ制御88は線98の制御信号を受け、この信号とアドレスビットA2とを用いて、所望のデータを含むメモリバンク71か72に関連するデータバッファ90か91を使用可能にする。フ

ラッシュメモリバンク71と72は共にアドレスをバス81から受けるが、一方のバンクだけがプロセッサ部データバス63に接続される。

【0131】更に図3において、フラッシュメモリ55に記憶されたプログラムを更新する場合は、フラッシュメモリバンク71と72を共に完全に消去しなければならない。しかしフラッシュメモリを消去した再プログラミングするソフトウェアルーチンもまた、これらの記憶要素に含まれている。

【0132】このフラッシュメモリ55は、第1フラッシュメモリバンク71の95と第2フラッシュメモリバンク72の97の部分にこれらのルーチンの複写を持っている。一方のバンクを再プログラミングしている間に、第2マイクロプロセッサ54は他方のバンクに記憶している消去および再プログラミングルーチンを実行する。

【0133】一方のバンクを消去すると、消去および再プログラミングルーチンを他方のバンクから複写し、他のソース、例えばRAM56からのプログラムをその主記憶部に複写する。次に一方のバンクに記憶しているルーチンを用いて、他方のバンクを再プログラミングする。

【0134】従って、プログラミングの前に全ての場所を順次消去する必要がある従来のフラッシュメモリ装置を命令の記憶に用いて、自分を再プログラミングすることができる。システムコントローラの初期化またはブートアップルーチンのような他の重要なデータの複写も、このようにして記憶することができる。

【0135】フラッシュメモリの再プログラミング手順を第1メモリバンク71のプログラミングについて述べるが、第2メモリバンク72のプログラムも同じ動作で逐次行うことができる。

【0136】手順は、第2マイクロプロセッサ54が図3の制御レジスタ89に構成データをロードすることから始まる。制御レジスタ89にロードするモード制御ビットは、フラッシュメモリを単一バンクアクセスモードにする論理レベルを持つ。

【0137】制御レジスタの別のビットは、プログラミングのために第1メモリバンク71を選んだことを示す。フラッシュメモリ制御88はレジスタ89の制御ビットに回答して、必要なバンクをプログラム可能にする。

【0138】プログラミング動作中は、第2マイクロプロセッサ54はバーストアドレッシングとシーケンシャルアドレッシングのどちらを用いてもよい。

【0139】マルチプレクサ84は制御バス62の信号に応じて、バーストアドレッシングを用いるかシーケンシャルアドレッシングを用いるかによって、メモリバス85か87を通してプロセッサバス64をバンクアドレスジェネレータ86に結合する。



【0140】プログラミング動作中はシーケンシャルアドレスリングを用いる場合を考える。従って第2マルチプレクサ54からの命令アドレスは、バンクアドレスジェネレータ86に直接与えられる。

【0141】フラッシュメモリ制御88は語アドレスのビットA2を無視して、常に選択したバンクだけを使用可能にする。フラッシュメモリ制御88が制御バス62を通して受ける別の信号は、第2マイクロプロセッサからの要求が読み出し動作か書き込み動作かを示す。制御回路88はこれに応じて、制御信号を必要なメモリバンク71か72に送る。

【0142】フラッシュメモリ制御88はデータバッファ90を使用可能にし、各書き込みまたはアクセス確認サイクル中に、第1メモリバンクデータバス82をプロセッサ部データバス63に接続する。同様にバッファ93を使用可能にして、第2メモリバンクデータバス83をプロセッサ部命令バス61に接続する。

【0143】このように接続すると、第2マイクロプロセッサ54は第2フラッシュメモリバンク72から消去および再プログラミング命令を読み出して第1メモリバンク71をプログラムするように、フラッシュメモリ55を構成することができる。

【0144】フラッシュメモリ55の特定の消去／プログラミングのシーケンスとコマンドは、メモリ装置の製作者が定義する。一般的な手順では、先ず各記憶場所を低論理レベル（ゼロ）にセットし、次に指定したメモリ装置に消去コマンドを出して、全ての記憶場所を同時に消去する。

【0145】1個の消去コマンドで全ての記憶場所を消去できれば理想的であるが、いくつかの記憶場所は消去されないのが普通である。従って第2マイクロプロセッサ54はメモリ装置内の全ての記憶場所が消去されているかどうかを確認し、必要があれば装置全体が消去されるまで更に消去コマンドを出さなければならない。

【0146】図3に示すフラッシュメモリ55は、数個のメモリ装置73-76と77-80を並列に接続して第1バンク71と第2バンク72を形成するが、時間を節約するには全てのバンクを一斉に消去するのが望ましい。

【0147】しかし確認手順中に1装置の記憶場所だけが消去されていないことが分かった場合は、4個の装置全部に第2の消去コマンドを出すことは好ましくない。これは、フラッシュメモリは限られた回数以上消去サイクルを行うと損傷するからである。

【0148】従って本技術の中心的な特徴の1つは、全バンクの消去と確認は並列に行うが、追加の消去コマンドは更に消去を必要とする記憶装置にだけ出すことである。

【0149】全てのフラッシュメモリバンクを消去したことが確認されれば、再プログラミングして記憶場所に

新しいプログラムデータを記憶することができる。消去の場合と同様に、再プログラミングは全てのバンク一斉に行う。確認の結果あるメモリ装置73-80がデータを保持していなければ、その装置だけ再プログラミングする。

【0150】従って各記憶場所に行うプログラミングサイクルの回数も最小になる。本再プログラミング技術では、所定のバンク内で全てのメモリ装置について多くの動作を同時に行うが、装置に不必要な消去およびプログラミングサイクルは行わない。

【0151】本発明の詳細なフラッシュメモリ消去ルーチンを図5のフローチャートで説明する。このルーチンの命令の複写は、両メモリバンク71と72の部分95と97に記憶されている。消去と再プログラミング用のプログラムの命令は他方のバンクから読み出される。

【0152】消去手順は段階100で始まり、第2マイクロプロセッサ54は制御レジスタ89をセットしてメモリバンク71と72のどちらを消去するかを選択し、フラッシュメモリ回路を構成する。このルーチンはどちらのバンクを選択しても同じなので、第1バンク71を選択した場合について述べる。

【0153】次に段階101で図6に示すプログラミングルーチンを呼び出し、第1メモリバンク71の各記憶場所をゼロにする。このゼロにする手順は、後でフラッシュメモリプログラミングルーチンの動作を説明する際に述べる。

【0154】第1バンク71の全ての記憶場所をゼロにすると、プログラムの実行は段階102に戻る。ここで第2マイクロプロセッサ54は、消去手順中に用いる変数、カウンタ、他のレジスタを初期化する。

【0155】段階104で第2マイクロプロセッサ54は、消去セットアップコマンドと、また続いて消去コマンドをフラッシュメモリ55に書込む。これらのコマンドはデータバス63とデータバッファ90を通して、第1メモリバンク71の装置73-76に送られる。

【0156】次に段階106でプログラムは一定の時間、例えば10ミリ秒遅れる。これはメモリ装置の製作者が指定するもので、消去コマンドを出してから消去確認が始まるまでの間に必要な遅れである。

【0157】このルーチンでフラッシュメモリ71に送られる32ビット命令は4個のバイトに分割され、各バイトはメモリ装置73、74、75、76のそれぞれへの、個々のコマンドを含んでいる。これによりバンク71の各装置は別個の動作状態になり、他の装置は読み出し状態のままで、ある1個の装置だけを消去することができる。

【0158】これが本発明の中心となる動作であって、前回の動作で完全には消去されなかった装置だけを再び消去することができる。しかしこのとき、第1バンク71の4個のメモリ装置73-76が受ける消去コマンドは

全く同一のものである。

【0159】段階104で1個のフラッシュメモリ命令を出すと、選択したメモリバンク内のメモリ場所が全て消去されるのが最もよい。しかしこれは実際には滅多に起こらず、バンク内には完全には消去されない装置が1個以上あることがよくある。

【0160】従って段階108から始まって、第2マイクロプロセッサ54は第1メモリバンク71内の各記憶場所に順次アクセスして、実際に消去されているかどうか判断する。

【0161】ここで第2マイクロプロセッサはデータバス63にフラッシュメモリ命令を出し、第1メモリバンク71の各記憶装置73-76を消去確認状態にし、各装置の内容を並列に順次読み出せるようにする。次に段階110で再びプログラムの実行は、装置の製作者が指定する一定の時間、例えば6マイクロ秒遅れる。

【0162】段階112に進んで、第2マイクロプロセッサ54はフラッシュメモリ55に記憶場所のアドレスを送って、第1メモリバンク71から32ビットのデータ語を得る。次にこのデータ語を確認して、ビットが全て消去されているかどうか判断する。

【0163】段階114でこのデータ語の全てのビットが消去されていたと仮定すると、段階116で第2マイクロプロセッサは、第1フラッシュメモリバンク71の最後のアドレスを確認したかどうか判断する。

【0164】確認が終わった場合は、消去ルーチンは終了して主制御プログラムに戻る。未確認のメモリ場所が残っている場合は、段階118で、第2マイクロプロセッサのレジスタに記憶している第1フラッシュメモリバンク71のアドレスを増分する。

【0165】次に段階120で、各バイトを消去確認コマンドに設定して、フラッシュメモリ55の命令を形成する。プログラムの実行は段階108に戻り、フラッシュメモリ命令を送って、各記憶装置73-76が消去確認状態にあって次の場所をチェックできることを確かめる。

【0166】段階114で、フラッシュメモリバンク71から読み出した語の中に消去されていないビットが1個以上あることが分かると、プログラムの実行は段階122に分岐する。このプログラムの分岐は、語の各バイトを調べて、記憶装置73-76のどれを更に消去する必要があるかを判断するためである。このために、バイトポインタを初期化してゼロにする。

【0167】次に段階124で第2マイクロプロセッサ54はポインタが指定したバイトを調べて、全てのバイトが消去されたかどうか判断する。全てが消去された場合は、段階136に進む前に段階126で、調べたデータを読み出したメモリ装置用のフラッシュメモリ命令のバイトを、読み出しモードコマンドに設定する。

【0168】しかし調べたバイトが消去されていなければ、プログラムの実行は段階128に分岐して、データ

バイトを読み出したメモリ装置73-76用のフラッシュメモリ命令のバイトを消去コマンドにセットする。そして段階130で、そのメモリ装置73-76の消去サイクル回数のカウンタを増分し、段階132で検査する。

【0169】このルーチンで1,000回消去サイクルを行ってなお消去されないメモリ装置の場所があれば、そのメモリ装置は有効な寿命を超す。この場合、段階134でどの装置が不良であるかを知らせる信号をユーザに送ってからプログラムを終了する。そしてメモリを交換するまでこのシステムは休止状態に入る。

【0170】段階132で装置の消去サイクルが1,000回に達していない場合は、プログラムの実行は段階136に分岐し、バイトポインタをテストして、データ語のバイトを全て検査したかどうか判断する。

【0171】未検査のバイトが残っている場合は、段階138でバイトポインタを増分し、段階124に戻って次のバイトをテストし、その中のビットを全て消去したかどうか判断する。

【0172】第1フラッシュメモリバンク71から読み出した所定の語のバイトを全て検査し終ると、第2マイクロプロセッサ54は段階104に戻る。

【0173】この時点で、第2マイクロプロセッサ54のレジスタに一時的に記憶されたフラッシュメモリ命令の各バイトに含まれるのは、関連するメモリ装置73-76を再び消去するコマンドか、またはこれまでチェックした場所は全て消去されたためメモリ装置を読み出し状態にするコマンドである。

【0174】段階104で、フラッシュメモリ命令をフラッシュメモリ55に書き込んで、再消去する必要があるとして選択したメモリ装置73-76の消去を行う。

【0175】次に各装置の同じ組の場所を再び検査し、これらの場所に記憶されていたビットが重ねて行った消去サイクルによって全て完全に消去されたかどうか判断する。

【0176】第2マイクロプロセッサ54は消去ルーチンの各段階を循環して、記憶場所が全て消去されたことを確認するまで、第1フラッシュメモリバンク71の4個のメモリ装置73-76の各記憶場所を検査し続ける。

【0177】この時点で、フラッシュメモリ消去ルーチンの実行は終了し、第2マイクロプロセッサ54は実行中の主動作プログラムに戻る。

【0178】一般にフラッシュメモリ55の1バンクを消去し終ると、すぐ再プログラミングする。これは第2マイクロプロセッサ54が行い、図6のフローチャートに示すフラッシュメモリプログラミングルーチンを実行する。

【0179】このプログラミング手順は段階101の消

去ルーチンでも用いられ、消去パルスを与える前に、選択したフラッシュメモリバンク71か72の各記憶場所をゼロにセットする。消去を始める前に全てのメモリセルをゼロにプログラミングすることは、フラッシュメモリ装置の製作者からの要求である。

【0180】フラッシュメモリプログラミングルーチンは段階140から始まり、プログラムで用いる変数、カウンタ、レジスタを初期化する。段階142で、現在消去モードであるかどうか判断する。

【0181】このプログラミングルーチンが消去手順の一部として用いられていない場合は、プログラムは段階143に分岐し、第2マイクロプロセッサ54は制御レジスタ89にデータを送ってフラッシュメモリ回路55をプログラムモードにし、メモリバンク71と72の一方を再プログラミングするよう指定する。ここで再び第1バンクを選択したとする。

【0182】段階144で、32ビットのフラッシュメモリ命令を形成する。この命令は消去ルーチンで用いたものと同様で、各バイトは再プログラミングする第1バンク71のメモリ装置73-76のそれぞれに対する別個の命令を含む。

【0183】各バイトは個別に構成されるので、他の装置をプログラミングしている間に1個以上の装置を読み出しモードにすることができる。この特徴が用いられるのは、あるメモリ装置の記憶場所が第1プログラミングサイクルでデータを保持せず、従って追加のサイクルが必要な場合である。

【0184】従って第1サイクルで正しく再プログラミングされなかったメモリ装置73-76だけが第2の再プログラミングコマンドを受ける。しかし最初は、フラッシュメモリ命令の全てのバイトにはセットアップコマンドをロードする。また4個1組のカウンタをセットして、4個の各メモリ装置の場所を再プログラミングするのに必要なプログラミングサイクル回数をカウントできるようにする。

【0185】プログラムの実行は次に段階146に進み、実行中の手順が消去動作かプログラミング動作か判断する。フラッシュメモリがプログラミングモードであれば、段階148でこのソフトウェアはRAM56、第2フラッシュメモリバンク72またはシステム内のプログラムを含む他の装置からプログラム命令語を取り出し、第1フラッシュメモリバンク71にロードする。

【0186】命令を記憶する場所は、第2マイクロプロセッサ54のレジスタ内に保持されているソースアドレスで示される。段階148で、取り出した語を第2マイクロプロセッサ54のデータレジスタ内に一時的に記憶する。

【0187】このプログラミングルーチンを消去ルーチンの最初に実行しているのであれば、実行は段階150に分岐して、第2マイクロプロセッサのこのデータレジ

スタをゼロにセットする。

【0188】前に述べたように、図6のプログラミングルーチンは消去ルーチンの最初にも用いられ、フラッシュメモリバンクの記憶場所を全てゼロにリセットする。

【0189】段階148か150で記憶する命令を得た後、段階152で4個1組のセットアップおよびプログラムコマンドをフラッシュメモリ55に送り、各メモリ装置の状態を、データを受けて記憶できるようにする。

【0190】図3のフラッシュメモリ制御88によって第1双方向データバッファ90はすでに使用可能になっており、プロセッサ部データバス63は第1フラッシュメモリバンク71のデータバス82に結合している。

【0191】フラッシュメモリ命令のコマンドはこの線路を通して並列にメモリ装置73-76に送られる。各メモリ装置は、その装置用の特定のコマンドを含むフラッシュメモリ命令の個別のバイトに応答する。

【0192】ある場所を再プログラミングする最初の段階では、これらの各バイトはプログラムセットアップコマンドを含んでいる。フラッシュメモリ命令を出した後、第2マイクロプロセッサ54はアドレスバス64を通して記憶場所のアドレスを送り、記憶のためのプログラム命令をデータバス63に与える。

【0193】図3において、プログラミング用の制御レジスタ89に記憶されたデータにより、マルチプレクサ84はメモリアドレスバス87を通して、プロセッサ部アドレスバス64をバンクアドレスジェネレータ86に直接接続する。

【0194】またフラッシュメモリ制御88は制御信号に応答して、再プログラミングのために選択した第1フラッシュメモリバンク71に必要なコマンドを送る。

【0195】第1フラッシュメモリバンク71のメモリ装置73-76はプログラムセットアップコマンドに応答して、バス82のビットをアドレス記憶場所に記憶する。段階153では、マイクロプロセッサ54がプログラム確認コマンドを出す前に10マイクロ秒の遅れが必要である。

【0196】この後段階154で、第2マイクロプロセッサ54はデータバス63と82および双方向バッファ90を通して1組のプログラム確認コマンドを出す。これらのコマンドによりメモリ装置73-76は、現在アクセスした記憶場所に記憶されたばかりのプログラム命令を装置から読み出してプロセッサ部データバス63に与える。

【0197】一方第2マイクロプロセッサ54は段階156で6マイクロ秒遅れ、フラッシュメモリバンク71を確認コマンドに従わせる。

【0198】この遅れ期間の最後に、段階158で第2マイクロプロセッサ54はデータを読み出し、段階160で、第1フラッシュメモリバンク71から読み出したデータと段階152で記憶場所をプログラムするのに用

いたデータとを比較する。

【0199】比較した結果これらの語が同じである、つまりフラッシュメモリを正しくプログラムしたと仮定すると、プログラムの実行は段階162に分岐し、プログラム命令を第1メモリバンク71に記憶し終ったかどうか判断する。

【0200】記憶する命令がまだ残っている場合は、第1フラッシュメモリバンク71内の記憶場所とプログラミングデータのソースの記憶場所とを示す1対のアドレスレジスタを、段階164で共に増分する。

【0201】命令をフラッシュメモリ55のバンク71から72の一方にだけ書き込んでいる間に、命令の行き先アドレスを8ビット増分し、これにより他のメモリバンクの記憶場所をバイパスする。

【0202】次にプログラムの実行は段階144に戻り、フラッシュメモリ55内の次の記憶場所をプログラムする。しかし第1フラッシュメモリバンク71の最後の場所のプログラムが終ると、ソフトウェアルーチンは呼び出した元のプログラムに戻る。

【0203】段階160で、フラッシュメモリ55内の現在アクセスした記憶場所を正しくプログラムしていないと第2マイクロプロセッサ54が判断すると、フラッシュメモリのプログラミングルーチンの実行は図6の段階170に分岐する。

【0204】このプログラムの分岐では、記憶場所から読み出した語の各バイトを検査して、プログラムに失敗したのは並列のメモリ装置73-76のどれか判断する。このルーチンのこの部分の初めに、バイトポインタを初期化する。

【0205】このポインタが指定する対応するバイトは、フラッシュメモリ55から読み出した語と段階152で記憶したばかりの命令語から得る。

【0206】次に段階174で、第2マイクロプロセッサ54はこれらのバイトを比較して、等しいかどうかを判断する。等しければ、対応するメモリ装置は正しくプログラムされていることを示す。この場合はプログラムの実行は段階175に分岐し、比較したデータを含むメモリ装置のフラッシュメモリ命令のバイトに、読み出しモードコマンドをロードする。

【0207】この場合、対応するメモリ装置73-76は正しくプログラムされているので、1個以上の他の並列のメモリ装置を再プログラミングする際に重ねて不要な再プログラミングサイクルを行わないようにするため、読み出しモードにしなければならぬ。フラッシュメモリ命令は、第2マイクロプロセッサ54のレジスタに一時的に記憶する。

【0208】段階174で比較したバイトが等しくない場合は、関連するメモリ装置73、74、75、76のプログラミングが正しく行われなかったことを示すので、段階176を実行する。この段階では、プログラム

に失敗した関連するメモリ装置を再プログラミングに指定し、そのメモリ装置のフラッシュメモリ命令のバイトにセットアップコマンドをロードする。

【0209】段階178でそのメモリ装置のプログラムカウンタを増分し、段階180でチェックして、この記憶場所を25回プログラムしてなお失敗したかどうか判断する。もしそうであれば、段階182でユーザに信号を送り、このメモリ装置は不良であることを知らせてからプログラムの実行を停止する。

【0210】この記憶場所で再プログラミングを行った回数が25回未満であれば、段階184で第2マイクロプロセッサ54はバイトポインタをチェックし、データ語のバイトを全てチェックしたかどうか判断する。もし未チェックのものが残っていれば、段階186でバイトポインタを増分し、段階172に戻って別のバイトをチェックする。

【0211】メモリ装置73-76からの4バイトをチェックした結果プログラミングが完了していれば、プログラムの実行は段階184から段階152に戻る。前回の命令データを再びメモリバンク71に代えて、前回のサイクルで正しくプログラムされなかったメモリ装置をプログラムする。

【0212】しかし前回命令を記憶できなかったメモリ装置だけをプログラムモードにし、その他は読み出しモードにする。

【0213】第2マイクロプロセッサ54は図6に示すフラッシュメモリプログラミングルーチンの各段階を循環して、段階180で装置のどれかが不良であると分かるまで、または段階162で最後の命令を正しく記憶したことが分かるまで続ける。

【0214】消去および再プログラミングの本技術は、フラッシュメモリに従来用いられた技術より優れた、いくつかの利点がある。ここに説明した手順は多くの消去および再プログラミング動作を並列に実行するので、メモリ装置が持つ最高の速さで手順を実行する。

【0215】しかし、消去またはプログラミングが失敗したことが分かった場合は、問題の装置の動作が良くなったことが分かるまで、この装置だけを重ねて消去またはプログラミングする。

【0216】このため正しく機能した装置に、不必要な消去およびプログラミングサイクルを重ねて行わなくなる。従って本技術によれば、正しく機能した装置を損傷することはない。

【図面の簡単な説明】

【図1】プログラマブルコントローラの絵画図である。

【図2】本発明のフラッシュメモリを用いる、図1のシステムコントローラの略図である。

【図3】フラッシュメモリの略図である。

【図4】フラッシュメモリの各バンクの記憶場所の記憶地図である。

【図5】フラッシュメモリを消去するソフトウェアルーチンのフローチャートである。

【図6】フラッシュメモリをプログラミングするソフトウェアルーチンのフローチャートである。

【符号の説明】

- |                     |                                |
|---------------------|--------------------------------|
| 10 プログラマブルコントローラ    | * 50, 51 信号ゲート                 |
| 11 バックプレーン          | 52 バス間制御回路                     |
| 12 ラック              | 53 制御部調停回路                     |
| 14 電源モジュール          | 54 第2マイクロプロセッサ                 |
| 15 I/Oデータリンク        | 55 フラッシュメモリ                    |
| 16 システムコントローラ       | 56 システムコントローラの主RAM             |
| 17 リモートI/Oラック       | 57 プロセッサ部アドレスデコーダ              |
| 18 プロセッサモジュール       | 58 割り込みプロセッサ                   |
| 19 ローカルI/Oモジュール     | 59 データ伝送応答およびバスエラー(DTACK/BERR) |
| 20 リモートI/Oスキャナモジュール | 60 クロック回路                      |
| 21 バックプレーン制御バス      | 61 命令バス                        |
| 22 バックプレーンデータバス     | 62 プロセッサ部制御バス                  |
| 23 バックプレーンアドレスバス    | 63 プロセッサ部データバス                 |
| 24 プログラムターミナル       | 64 プロセッサ部アドレスバス                |
| 25 ケーブル             | 65, 66 信号ゲート                   |
| 26 アダプタモジュール        | 67 マスターモード制御回路                 |
| 28 ローカルエリアネットワーク    | 68 スレーブモード制御回路                 |
| 30 バックプレーンインターフェース部 | 69 バックプレーン調停回路                 |
| 31 プロセッサ部           | 71 第1フラッシュメモリバンク               |
| 32 通信部              | 72 第2フラッシュメモリバンク               |
| 33 通信部制御バス          | 73-80 メモリ装置                    |
| 34 通信部データバス         | 81 バンクアドレスバス                   |
| 35 通信部アドレスバス        | 81H 上位バンクアドレスバス                |
| 36 第1マイクロプロセッサ      | 81L', 81L'' 下位バンクアドレスバス        |
| 37 通信部アドレスデコード回路    | 82, 83 内部データバス                 |
| 38 リードオンリーメモリ(ROM)  | 84 マルチプレクサ                     |
| 39 ランダムアクセスメモリ(RAM) | 85 シフトしたメモリアドレスバス              |
| 40 通信部調停回路          | 86 バンクアドレスジェネレータ               |
| 41 直接メモリアクセス(DMA)   | 87 メモリアドレスバス                   |
| 42 カウンタ/タイマ回路(CTC)  | 88 フラッシュメモリ制御                  |
| 43 入出力装置(UART)      | 89 制御レジスタ                      |
| 44 入出力コントローラ(SIO)   | 90, 91 データバッファ                 |
| 45, 46, 47 入ラインドライバ | 92, 93 バッファ                    |
|                     | 94, 96 主記憶部                    |
|                     | 95, 97 再プログラミング命令部             |
|                     | 98 制御バス線                       |

フロントページの続き

(72)発明者 アレックス ディー、グリーン  
 アメリカ合衆国オハイオ州クリーブランド  
 ハイツ、シャノン ロード 3636